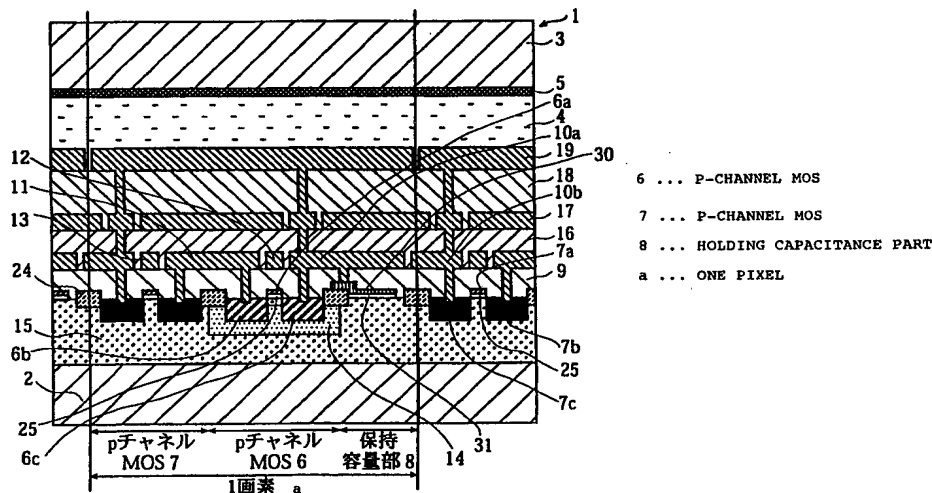


(51) 国際特許分類6 G02F 1/136, 1/133		A1	(11) 国際公開番号 WO99/28784
			(43) 国際公開日 1999年6月10日(10.06.99)
(21) 国際出願番号 PCT/JP98/05365		(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)(JP/JP) 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)	
(22) 国際出願日 1998年11月30日(30.11.98)		(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 田中幸生(TANAKA, Yukio)(JP/JP) 〒607-8405 京都府京都市山科区御陵田山町19 A-104 Kyoto, (JP) 小森一徳(KOMORI, Kazunori)(JP/JP) 〒669-1322 兵庫県三田市すすかけ台4-6-4-1007 Hyogo, (JP)	
(30) 優先権データ 特願平9/327770 1997年11月28日(28.11.97) JP 特願平10/32457 1998年2月16日(16.02.98) JP 特願平10/91189 1998年4月3日(03.04.98) JP 特願平10/237779 1998年8月24日(24.08.98) JP		(74) 代理人 弁理士 大前 要(OHMAE, Kaname) 〒540-0037 大阪府大阪市中央区内平野町2丁目3-14 ライオンズビル大手前2階 Osaka, (JP)	
		(81) 指定国 KR, US, 欧州特許 (DE, FR, GB). 添付公開書類 国際調査報告書	

(54)Title: REFLECTION-TYPE DISPLAY DEVICE AND IMAGE DEVICE USING REFLECTION-TYPE DISPLAY DEVICE

(54)発明の名称 反射型表示素子及び反射型表示素子を用いた映像装置



(57) Abstract

A reflection-type liquid crystal display device by which an excellent image without flicker and with little decline of a light utilization efficiency and little luminance unevenness even if an emitted light illuminance is increased. Pixel switching devices consist of a pair of n-ch. MOS transistors and a pair of p-ch. MOS transistors. The drain electrodes of the MOS transistors are electrically connected to signal lines and the source electrodes of the MOS transistors are electrically connected to pixel electrodes. A holding capacitance part electrically connected to the pixel electrodes is formed on a p-type crystalline silicon substrate. A light current generated by a MOS transistor and a light current generated by another MOS transistor are made to flow in the directions so as to cancel each other.

(57)要約

照射光照度を大きくしても、フリッカが無く、かつ光利用効率低下や輝度ムラの少ない良好な画像を得ることができる反射型液晶表示装置の提供を目的とする。

画素スイッチング素子に対をなすnチャネルMOSトランジスタ及びpチャネルMOSトランジスタからなる。MOSトランジスタのドレイン電極が信号線に電氣的に接続され、MOSトランジスタのソース電極が画素電極に電氣的に接続されている。p型結晶シリコン基板上には、画素電極に電氣的に接続された保持容量部が設けられている。MOSトランジスタで発生する光電流と、MOSトランジスタで発生する光電流とが、相互に相殺する方向に流れる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BJ	ベナン	GR	ギリシャ		共和国	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NL	オランダ	ZA	南アフリカ共和国
CM	カメルーン	IT	イタリア	NO	ノルウェー	ZW	ジンバブエ
CN	中国	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェッコ	KP	北朝鮮	RO	ルーマニア		
DE	ドイツ	KR	韓国	RU	ロシア		
DK	デンマーク	KZ	カザフスタン	SD	スーダン		
EE	エストニア	LC	セントルシア	SE	スウェーデン		

明 細 書

反射型表示素子及び反射型表示素子を用いた映像装置

技 術 分 野

本発明は、例えば液晶プロジェクタに用いられる反射型液晶ライトバルブ等に好適に実施することができる反射型表示素子及び反射型表示素子を用いた映像装置に関するものである。

背 景 技 術

最近、プロジェクタ用の液晶表示素子として反射型の液晶ライトバルブを用いる方式が注目されている。これは、液晶セルを構成する2枚の基板のうちの一方を多結晶Si基板（主としてガラスや石英の基板上に多結晶Siを形成したもの）あるいは単結晶Si基板などとして、その上にアクティブマトリクス構造を設けたものであり、液晶によって変調された光がアクティブマトリクス構造に組み込まれた反射画素電極（表面が反射面とされた画素電極を意味する）で反射して出力されるという構成になっている。この液晶表示素子は、一般には、画素のスイッチングを制御するTFT（Thin Film Transistor: 薄膜トランジスタ）やMOS（Metal-Oxide-Semiconductor: 金属-酸化物-半導体接合）トランジスタ、あるいは保持容量（補助容量とも称される）などの上に反射面を成膜し、さらにCMP（Chemical Mechanical Polishing: ケミカルメカニカルポリッシング）などにより反射面を平坦化することによって作製される。従って、従来の透過型の液晶表示素子のようにトランジスタや保持容量が画素内で大面積を占めることにより開口率が低下するということがなく、高精細対応で画素サイズが小さくなっても高い開口率が保てるという長所がある。

また、特に半導体基板として単結晶Siを用い、画素スイッチング素子としてMOSトランジスタを作製する場合には、DRAM (Dynamic Random Access Memory) 等の半導体メモリに関する技術をもそのまま転用することができるという利点加わる。さらに、キャリアの移動度が大きいので高速スイッチングが可能なCMOS (Complementary MOS) を形成することができ、周辺のデータドライバ回路も同時に高速化して集積できるという利点もある。

ところで、液晶等の光変調層をアクティブマトリクスによって駆動する場合、走査線非選択時に画素電極上に蓄積されている電荷量に変動すると、これに伴って画素電極の電位が変動し、コントラスト低下、輝度低下、フリッカ（ちらつき）やノイズの発生などの画質低下が起こる。そこで、画素電極に補助的な容量（保持容量）を付加して、多少の電荷のリークがあっても電圧の変動が生じないようにするという方法がとられる。

大きな保持容量を確保するための方法の一つとして、MOS容量を用いる例がある〔以下、従来例と称する。著者：佐藤秀夫その他、アイ・ティー・イー テクニカルレポート第19巻第65号第43頁～48頁（1995年）〕。この場合、MOS容量の酸化膜としては一般にSiO₂が用いられる。酸化膜の厚みは一般に10nm～100nm程度と非常に薄く、比較的大きな容量が得られる。

しかしながら、上記従来例では、以下の問題が生じる。

(1) 近年、プロジェクタで得られる映像を高輝度化することがますます要求されており、パネル面への照射光照度を大きくすることが必要になっている。また、製造コストを削減するためにはパネルサイズを小さくして1ウエハあたりのパネルの取れ数を多くすることが必要となるが、パネル面積が小さくなると当然それに反比例

してパネル面への照射光照度は大きくしなければならなくなる。このようにして、パネル面への照射光照度を大きくすること要請されている。しかしながら、パネル面への照射光照度を大きくすると、照射光の一部が画素間の隙間から漏れてMOSトランジスタに達することにより発生する光電流が非常に大きくなり、MOS容量のよ
うな大きい保持容量を用いても画素電極の電位変動を抑制することが困難になる。

(2) 更に、このような光電流に起因した画素電極の電位変動により、フリッカが発生する。この理由を以下に述べる。一般に液晶の駆動においては、チャージアップを防ぐために、1フレーム毎に極性が逆で絶対値（実効値）の概略等しい電圧を印加するという方法がとられている（簡単のため、定常的に輝度一定の画像を得ようとする場合を想定）。具体的には、偶数番目のフレームでの走査線選択時にVAという正の電圧（対向基板電極を基準とする）を画素電極に与え、奇数番目のフレームでは $-VA$ という負の電圧を与えるという駆動を行っている。これに対して上記の光電流は画素電極電位の正負によらず一定の向きの電流であるので、走査線非選択期間での光電流に起因した電位変化は偶奇フレームにかかわらず同じ方向である。いま、この電圧変化が仮に負の方向であるとする、偶数フレームにおいては液晶への印加電圧の実効値は小さくなる方向に、奇数フレームにおいては大きくなる方向に作用する。この結果として液晶の輝度がフレーム交互に明暗の変動を繰り返し、フリッカとして観測されることになる。このような光電流によるフリッカを押さえるためには保持容量をさらに大きくすればよいが、無限に大きくすることは不可能である。なぜなら、保持容量が大きくなると走査線選択期間内にその容量を充電するためにより多くの電荷量を供給しなければならず、MOSトランジスタのもつ充電能力を

超えてしまうからである。このようにして、上記従来例では、パネル面への照射光照射度が大きくなると、フリッカが発生し、画質の低下を招くという問題が生じる。

ここで、上述した従来例におけるフリッカの発生する原理を、数式等を用いて以下に詳述することにする。これは、従来例の問題点を明確化すると共に、後述する発明の実施の形態の項において本発明の内容を数式等を用いて従来例と比較する際の便宜をも考慮したものである。

図53は上記従来例の断面図である。反射型液晶表示素子5100は、基板としてn型結晶Si基板5101をベースとして作製されたものであり、対向基板5130、nチャネルMOSトランジスタ5102、信号線5103、共通電位線5104、走査線（ゲート線；図示せず）、反射画素電極5105、液晶5106、及び保持容量部5107などを主な構成要素としている。尚、保持容量部5107は、容量電極5108と容量酸化膜5109とpウェル5110の一部から構成されている。

反射型液晶表示素子5100の1画素分の等価回路は、図54に示されている。図54に示す等価回路は、標準的なアクティブマトリックス型の回路であり、nチャネルMOSトランジスタ5102のゲート5102aは走査線5111（電位VG）に接続され、ドレイン5102bは信号線5103（電位VD）に接続され、ソース5102cは画素電極5105（電位VS）に接続されている。また、pウェル5110は共通電位線5104（電位VB）に接続されており、従って、pウェル5110は電位VBにバイアスされている。この電位VBは、MOSトランジスタ5102の基板バイアス電位に相当する。ここでVBは、VDおよびVSのいずれの電位よりも低い電位である。液晶5106は画素電極5105とIT

O電極5113（電位 V_{com} ）に挟まれており、これにより液晶容量CLCが形成されている（CLCは1画素当たりの容量値である）。また、保持容量部5107では、電位 V_S の容量電極5108と電位 V_B のpウェル5110との間に容量酸化膜5109が挟まれた形となっており、これにより保持容量部5107の保持容量 C_{stg} が形成されている。なお、この図ではMOSトランジスタ5102や配線間に生じる微小な浮遊容量やリークコンダクタンスなどについては無視してある。

ところで、この表示素子5100に高輝度の光を照射する場合、一部の光は、例えば画素電極5105の隙間A→平坦化膜5115→第2遮光層5116の隙間B→第2絶縁層5117→第1遮光層5118の隙間C→第1絶縁層5119を伝搬してソース5102cとpウェル5110の間の逆バイアス部分に到達する。そうするとフォトダイオードと同じ原理で光電流が発生する。図54のIPはこの光電流を示している。一般にIPは照射光照射度に比例した大きくなる。

次いで、従来例の動作について説明する。走査線5111は図55に示すように1フレーム毎に選択状態になる。ここで、選択状態での走査線5111の電位 V_G を V_{GON} で示し、1フレーム期間中の非選択状態での走査線5111の電位 V_G を V_{GOFF} で示すことにする。また、信号線5103には、図55に示すように、1フレーム毎に極性の異なる電位 V_D （絶対値は概ね等しい）が与えられるものとする。

まず、当該画素の走査線5111が選択されるとMOSトランジスタ5102がON状態になり、画素電極電位 V_S は、信号線電位 V_D が V_{D0} になるまで充電される（選択期間での信号線電位 V_D を特に V_{D0} で表すことにする）。このときの画素電極電位 V_S の変化

は、以下の第 1 式で表される。

$$(C_{stg} + C_{LC}) \, dV_S / d t \\ = k \{ (V_{GON} - V_S)^2 - (V_{GON} - V_{D0})^2 \} \dots (1)$$

第 1 式の右辺は MOS トランジスタ 5102 のドレイン－ソース間電流を示しており、k は MOS トランジスタ 5102 の充電能力を示す定数である。ここで、説明の簡略化のため、閾値電圧は 0 V としている。閾値電圧が 0 V でなくても以下の議論は概ね成り立つ。また、ドレイン－ソース間電流は I_P に比べて十分大きいとし、 I_P の影響を無視している。

充電の終盤で V_S が V_{D0} に近づいてくると、第 1 式は第 2 式のようになり近似することができる。

第 1 式の右辺

$$\begin{aligned} &= k \{ (V_{GON} - V_S)^2 - (V_{GON} - V_{D0})^2 \} \\ &= k \{ V_{GON}^2 - 2 V_{GON} \cdot V_S + V_S^2 - V_{GON}^2 \\ &\quad + 2 V_{GON} \cdot V_{D0} - V_{D0}^2 \} \\ &= k \{ V_S^2 - V_{D0}^2 + 2 V_{GON} (V_{D0} - V_S) \} \\ &= k \{ (V_S - V_{D0}) (V_S + V_{D0}) \\ &\quad + 2 V_{GON} (V_{D0} - V_S) \} \\ &= k (V_S - V_{D0}) (V_S + V_{D0} - 2 V_{GON}) \\ &\Rightarrow 2 k (V_S - V_{D0}) (V_{D0} - V_{GON}) \quad (\because V_S \Rightarrow V_{D0}) \\ \therefore (C_{stg} + C_{LC}) \, dV_S / d t \\ &\Rightarrow 2 k (V_S - V_{D0}) (V_{D0} - V_{GON}) \\ \therefore d (V_S - V_{D0}) / d t \\ &= - 2 k (V_{GON} - V_{D0}) (V_S - V_{D0}) / (C_{stg} + C_{LC}) \\ &= (V_S - V_{D0}) / \tau \quad \dots (2) \end{aligned}$$

但し、 $\tau = (C_{stg} + C_{LC}) / 2 k (V_G - V_{D0})$ である。

上記第 2 式より明らかのように、充電の時定数 τ は V_{D0} が大きく

て V_G に接近するほど大きくなる。すなわち、 V_{D0} が大きいほど充電に時間がかかるということを示している。最も τ が大きいのは V_{D0} が信号線電位の最大値（これを V_{Dm} とする）の場合であり、このときの時定数 τ は第 3 式で示される。

$$\tau = (C_{stg} + C_{LC}) / 2k (V_G - V_{Dm}) \dots (3)$$

十分な充電を行うためには、選択期間の幅に比べて τ を十分に小さくする必要がある。なお、以下ではこの条件が満たされて、選択期間内に充電が完了し $V_S = V_{D0}$ に達するものとして話を進める。

次に、非選択期間に移行した後を考える。この非選択期間中、MOS トランジスタは OFF 状態になりドレインとソース間の接続は切られる。ここで仮に光電流 $I_P = 0$ であるような理想的な場合を想定すると、次の選択期間までの間（非選択期間）保持容量 C_{stg} および液晶容量 C_{LC} に蓄えられている電荷は保存され、画素電極 5105 の電位 V_S はほぼ当初の V_D のまま一定に保たれる。このときには 1 フレームの間、液晶の配向が所定の状態に保たれ、所定の映像を表示することができる。

ところが、実際はこのような理想的な状態は実現できず、光電流 I_P の影響で非選択期間の間に画素電極電位 V_S は変動する。このときの V_S の変化は、以下の第 4 式によって表される。

$$(C_{stg} + C_{LC}) dV_S / dt = -I_P \dots (4)$$

ここで光電流 I_P は照射光照度按比例する正の値であるが、 V_S にも依存する。この光電流はソース 5102c と p ウェル 5110 間の逆バイアス部の空乏層に光が照射されて発生する電子・正孔対によって生じるものであるが、その空乏層の幅が概ね逆バイアス電圧 $V_S - V_B$ の平方根に比例して変化するためである。なお、ソース 5102c の不純物ドーピングの深さ方向プロファイルによって

は必ずしも平方根に比例するわけではないが、以下の議論は成立する。

一定照射光照度における V_S と光電流 I_P の関係を示すと図 5 6 のようになる。いま、信号線に 1 フレーム毎に $V_{D0} = \pm V_A$ の信号が交互に印加される場合を考える。そして、 $V_S = \pm V_A$ での I_P をそれぞれ I_{P+} および I_{P-} とおく。このとき、非選択期間での電圧変化をそれぞれ ΔV_{S+} および ΔV_{S-} とすると、これらは近似的に第 5 式、第 6 式のように表せる。

$$\Delta V_{S+} = - (I_{P+}) \cdot (T_f) / (C_{stg} + C_{LC}) \quad \cdots (5)$$

$$\Delta V_{S-} = - (I_{P-}) \cdot (T_f) / (C_{stg} + C_{LC}) \quad \cdots (6)$$

但し、 T_f はフレーム周期である。これらを基にして V_S の変化を図示すると図 5 5 のようになる（尚、選択期間から非選択期間への移行の瞬間に容量結合によって生じる電位変化、すなわちいわゆる「突き抜け」は無視している）。

ところで、液晶の反射率の応答は、液晶に印加されている電圧の絶対値によって決まり、図 5 7 (a) のような V_S の変化（図 5 5 の V_S と同じことを表している）に対して図 5 7 (b) のような応答になる。但し、液晶はフレーム周期に比べて十分速く応答するとし、かつ印加電圧とともに反射率が増加するノーマリ・オフモードを想定している。また、 $V_{com} = 0$ を想定している。図 5 7 (b) によると、反射率は直流平均値にフレーム周期 T_f の 2 倍の周期をもつ交流成分が重畳されたものとなり、フリッカが観測されることになる。この交流成分の振幅は、光照射照度に比例し、 $C_{stg} + C_{LC}$ に反比例する。この交流成分は、 V_{com} を調整しても完全になくすことはできないものである。なぜなら、 V_{com} を変化させることにより偶奇それぞれのフレーム内での反射率の平均値を等しくすることはできるが、両者の反射率の波形自体を一致させること

はできないからである。以上により、従来例の場合には、照射光強度の増加とともにフリッカが顕著になることが示される。 $C_{stg} + C_{LC}$ を大きくすればフリッカを抑制することはできるが、上記の第3式で表される充電の時定数がある値以下にしなければならないという制限があるので、 $C_{stg} + C_{LC}$ を無限に大きくすることはできず、従ってフリッカを完全になくすことはできない。

(その他の課題)

上記の課題は、主として画素スイッチング素子に光が入射する場合に関するものであったけれども、画素スイッチング素子以外の基板上に光が当たっても近傍の画素スイッチ素子に影響を与え画素電極電位の変動の原因となる。そのため、基板としてシリコン基板を使用する構成の液晶表示素子では、例えば特開平9-68718号公報に示すように、信号配線や遮光層の形成のために4層以上の構造を有し、徹底的に遮光を図っている。但し、製造上、多層構造にすればするほどマスク枚数が増加し、コストが増加する。これに対し、例えば特開昭63-228887号公報に示すように、光に対して反応を起こさないガラスから成る絶縁性基板上に画素スイッチング素子を作りこみ遮光性能を向上させている構成のものがある。このような構造ではシリコン基板上の場合と違って、絶縁性基板上に光があたっても問題はなく、画素スイッチング素子は反射電極の下に配置すれば、入射光は直接画素スイッチング素子に当たることはない。しかしながら、近年においては、より明るい反射型表示素子の実現が強く要請されており、入射光強度もますます増加している。当初、反射型液晶表示素子に入射する光の強度は10万ルクス程度であった。ところが最近では100万～500万ルクス程度の光が入射するようになった。10万ルクスレベルであれば、先に述べたように光に反応しない絶縁性基板上に画素スイッチ素子を形成し

かつ、反射電極下に配置すれば十分な表示性能が得られた。しかしさらに入射光強度が増すにつれコントラストが減少し、100万ルクスを越えればコントラストが10程度と表示性能が大きく損なわれた。シリコン基板をベースに作った反射型液晶表示素子においても同様なコントラストの低下が見られた。

本発明者等は、このコントラストの原因がいずれも画素スイッチ素子またはシリコン基板に光が当たって画素スイッチング素子が誤動作し、画素電極電位の変動によりコントラストを低下させたことを見いだした。

シリコン基板ベースの反射型液晶素子の場合、一見遮光層の存在によって十分遮光されているかに見えるが、実際には入射光が遮光層表面や反射画素電極の裏面などで多重反射し、絶縁層内を光が伝播する。

入射光強度が比較的弱いときは反射の際などで光の吸収がおき、シリコン基板に達するまでに入射光は消滅するが、入射光強度が増大すれば吸収しきれず、シリコン基板に光が達し誤動作を引き起こす。そのため遮光層を多重にして遮光性能を向上させる必要があるが、製造の際のマスク枚数の増加、製造工程の増加、良品確率（歩留まり）の低下を招きコスト増加に跳ね返る。

一方、絶縁性基板上に画素スイッチング素子を形成した場合、光は絶縁性基板に入射するが、絶縁性基板がガラスや石英など透明な材料であれば反射がおこらず、そのまま光は裏面に透過してしまうので、遮光性能は先のシリコン基板ベースより向上できる。しかしながら、透明絶縁基板を用いた場合は、基板の下面（画素スイッチ素子を形成した面と反対側の面）の界面反射がコントラスト低下の原因であることを見いだした。透明な材料ではほとんど光の吸収が起きず、光の大部分は直進的に透過していく。しかし透明な材料同

士でもこれら材料の屈折率が大きく異なると、この界面で界面反射が発生する。表示素子を構成する透明な材料の屈折率は概略 1.5 程度であり、界面反射は少ない。しかし、空気の屈折率は 1 であるため、例えばガラス内を透過した光はガラス／空気界面で約 4 % 程が反射してしまう。この反射光が再びガラス内を伝播し画素スイッチ素子に光が達すると、画素電極電位の変動を引き起こす。

要約すれば、透明絶縁基板を用いた場合は、基板裏面での界面反射に起因して反射光が基板内を伝播して画素スイッチング素子に到達して、画素電極電位の変動が発生していた。

発 明 の 開 示

本発明は、上記課題に鑑み、画素電極電位の変動を抑制して、フリッカの発生をなくし、高照度照射時においても高画質の映像を得ることができる反射型表示素子及び反射型表示素子を用いた映像装置を提供することを目的とするものである。

本発明者等は、鋭意研究した結果、（１）光電流を相殺すること、（２）保持容量を更に大きくすること、（３）透明絶縁性基板の裏面に光を反射させない表面処理を行うこと、により画素電極の電位の変動を低減し、フリッカの発生を防止できることを見出した。

具体的な構成は、以下のとおりである。

本発明のうち請求項 1 に記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチン

グ素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続され光照射により光電流を発生する光電変換素子が設けられ、この光電変換素子で発生する光電流が、前記画素スイッチング素子で発生する光電流を相殺する方向に流れることを特徴とする。

上記の構成により、画素スイッチング素子がOFF状態の期間（非選択期間）中、照射光の一部が画素電極間の隙間から漏れて画素スイッチング素子に達して、光電流が発生する。このとき、上記画素電極間の隙間から漏れた光は、光電変換素子にも照射される。これにより、光電変換素子で光電流が発生する。そして、光電変換素子による光電流は、その電流方向が画素スイッチング素子による光電流を相殺する方向とされているため、光電流に起因した画素電極の電荷量の変動を可及的に低減することができる。

また、上記構成に加えて、対向基板の電極電位を V_c に設定すれば、後述（請求項5記載の発明についての説明）するようにフリッカの発生を完全に防止することができ、仮に、対向基板の電極電位を V_c に設定しない場合であっても、光電流に起因した画素電極の電荷量の変動を低減できるため、フリッカの発生の完全防止はできないまでも、従来例に比べてフリッカの発生量を低減することが可能となる。

本発明のうち請求項2に記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間

に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続され光照射により光電流を発生する光電変換素子部が設けられ、この光電変換素子部で発生する光電流が、前記画素スイッチング素子で発生する光電流を相殺する方向に流れることを特徴とする。

上記の如く、電極表面が反射面とされた画素電極（いわゆる反射画素電極）を設けることにより、別途反射層を設ける必要がなく、その分だけ反射型表示素子の厚みを小さくすることができる。また、上記構成の反射型表示素子によってもまた、請求項 1 記載の発明と同様に光電流に起因した画素電極の電荷量の変動を可及的に低減することができる。

本発明のうち請求項 3 に記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射

層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記画素スイッチング素子が対をなすnチャネルMOSトランジスタ及びpチャネルMOSトランジスタからなり、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタの各ドレイン電極と各ソース電極の何れか一方の電極が前記信号線に電氣的に接続され、前記nチャネルMOSトランジスタ及び前記pチャネルMOSトランジスタの各ドレイン電極と各ソース電極の何れか他方の電極が前記画素電極に電氣的に接続され、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記nチャネルMOSトランジスタで発生する光電流と、前記pチャネルMOSトランジスタで発生する光電流とが、相互に相殺する方向に流れることを特徴とする。

上記構成により、照射光の一部が画素電極間の隙間から漏れてnチャネルMOSトランジスタ及びpチャネルMOSトランジスタに照射されると、各MOSトランジスタでは、相互に相殺する方向の光電流が発生する。よって、光電流に起因した画素電極の電荷量の変動を可及的に低減することができる。

ここで、「対をなすnチャネルMOSトランジスタ及びpチャネルMOSトランジスタ」とは、一对のトランジスタ、あるいは複数のトランジスタが直列・並列に接続されたもの全てを意味する。

本発明のうち請求項4に記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイ

ツチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記画素スイッチング素子に対をなすnチャンネルMOSトランジスタ及びpチャンネルMOSトランジスタからなり、nチャンネルMOSトランジスタ及びpチャンネルMOSトランジスタの各ドレイン電極と各ソース電極の何れか一方の電極が前記信号線に電氣的に接続され、前記nチャンネルMOSトランジスタ及び前記pチャンネルMOSトランジスタの各ドレイン電極と各ソース電極の何れか他方の電極が前記画素電極に電氣的に接続され、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記nチャンネルMOSトランジスタで発生する光電流と、前記pチャンネルMOSトランジスタで発生する光電流とが、相互に相殺する方向に流れることを特徴とする。

上記の如く、電極表面が反射面とされた画素電極（いわゆる反射画素電極）を設けることにより、別途反射層を設ける必要がなく、その分だけ反射型表示素子の厚みを小さくすることができる。また、上記構成の反射型表示素子によってもまた、請求項3記載の発明と同様に光電流に起因した画素電極の電荷量の変動を可及的に低減することができる。

本発明のうち請求項5に記載の発明は、請求項3に記載の発明において、nチャンネルMOSトランジスタの基板バイアス電位をVB1とし、pチャンネルMOSトランジスタの基板バイアス電位をVB2とし、前記pチャンネルMOSトランジスタと前記nチャンネルMOSトランジスタの接続が断たれている期間に光照射によって前記pチャ

ネルMOSトランジスタ及び前記nチャネルMOSトランジスタで発生する光電流の大きさが等しくなるような画素電極電位を V_c とすると、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする。

nチャネルMOSトランジスタで発生する光電流 (I_{P1} とする) 及びpチャネルMOSトランジスタで発生する光電流 (I_{P2} とする) は、画素電極電位 (V_S とする) に依存している。ここで、 $I_{P2} - I_{P1} = 0$ となる画素電極電位を V_C とすると、この V_C に或る電圧値 $\pm V_A$ を付加した $V_C + V_A$ と $V_C - V_A$ を画素電極電位として交互に信号線に印加するようにすれば、非選択期間での V_S の変化分は両者で符号が逆で絶対値がほぼ等しくなる。そのため、画素電極電位は、直流成分電圧 V_C に正負対称の交流波形が重畳された波形が得られる。そこで、 V_c を対向基板の電極電位に設定すれば、光変調層への印加電圧には、直流成分がなくなり、偶数フレーム及び奇数フレームにおいて同じ波形となり、従来例であったフレーム周期の2倍周期成分がなくなり、照明光照度の如何にかかわらずフリッカが発生しないことになる。

本発明のうち請求項6に記載の発明は、請求項4に記載の発明において、nチャネルMOSトランジスタの基板バイアス電位を V_{B1} とし、pチャネルMOSトランジスタの基板バイアス電位を V_{B2} とし、前記pチャネルMOSトランジスタと前記nチャネルMOSトランジスタの接続が断たれている期間に光照射によって前記pチャネルMOSトランジスタ及び前記nチャネルMOSトランジスタで発生する光電流の大きさが等しくなるような画素電極電位を V_c とすると、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする。

上記の構成により、基本的には上記請求項5記載の発明と同様な

作用・効果を奏する。

本発明のうち請求項 7 に記載の発明は、請求項 5 記載の発明において、光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{\max} に対して 90% の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{\max} に対して 10% の反射率が得られるような電圧の絶対値を、最小変調電圧 V_M と定義すると、最小変調電圧 V_M が $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方以下であることを特徴とする。

上記構成により、光変調層の駆動に支障のない程度に十分な印加電圧の振幅（ダイナミックレンジ）をとることができ、かつ、十分なコントラスト及び輝度の画像を得ることができる。以下に、この理由を説明する。nチャネルMOSトランジスタで発生する光電流（ I_{P1} とする）及びpチャネルMOSトランジスタで発生する光電流（ I_{P2} とする）は、それぞれ $(V_S - V_{B1})$ の平方根及び $(V_{B2} - V_S)$ の平方根に概ね比例する。なお、 V_S は画素電極電位を示している。このときの I_{P1} 及び I_{P2} の比例定数が極端に違うと2つの曲線の交点の V_S の値（ $= V_c$ ）が V_{B1} あるいは V_{B2} のいずれかに極端に近くなり、十分なダイナミックレンジがとれない（図10参照）。

ここで、MOSトランジスタを正常に動作させるためには、画素電極電位は V_{B2} よりも小さく、かつ、 V_{B1} よりも大きくなければならない。従って、光変調層への印加電圧の振幅は、 $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方よりも大きくすることはできない。更に、十分なコントラスト及び輝度の画像を得るためには、光変調層に印加する電圧の範囲内で、反射率（輝度）が明から暗まで十分なレンジで変化しなければならい。よって、反射率（輝度）が明から暗まで十分なレンジで変化し得るのに必要最小限度の電圧を

最小変調電圧 V_M とすると、この最小変調電圧 V_M が $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方よりも小さくすれば、上記の条件を満たすことができ（図 11 参照）、MOS トランジスタを正常に動作させ、かつ、十分なコントラスト及び輝度の画像を得ることができる。

本発明のうち請求項 8 に記載の発明は、請求項 6 記載の発明において、光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{max} に対して 90% の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{max} に対して 10% の反射率が得られるような電圧の絶対値を、最小変調電圧 V_M と定義すると、最小変調電圧 V_M が $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方以下であることを特徴とする。

上記の構成により、基本的には上記請求項 7 記載の発明と同様な作用・効果を奏する。

本発明のうち請求項 9 に記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記画素スイッチング素子が MOS トランジスタであり、この MOS トランジスタのドレイン電極とソース電極のいずれか一方の電極は前記信号線に電氣的に接続され、MOS トランジスタのドレイン電極

とソース電極のいずれか他方の電極は前記画素電極に電氣的に接続され、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続されたダイオードが設けられ、このダイオードの画素電極に接続された側の半導体領域の伝導型は、前記MOSトランジスタの前記画素電極に接続された側の半導体領域の伝導型と異なっており、このダイオードで発生する光電流が、前記MOSトランジスタで発生する光電流を相殺する方向に流れることを特徴とする。

上記構成により、照射光の一部が画素電極間の隙間から漏れてダイオードに照射されると、MOSトランジスタで発生する光電流を相殺する方向の光電流が発生する。よって、光電流に起因した画素電極の電荷量の変動を可及的に低減することができる。

また、画素スイッチング素子で発生する光電流を相殺するために設けられる光電変換素子として、ダイオードを使用する構成であるため、以下の効果を奏する。

(1) 光電変換素子として、MOSトランジスタを使用する構成に比べて、半導体基板面での素子の専有面積を小さくすることができ、また、MOSトランジスタの場合に必要なとされる走査線が不要となる。この結果、余裕のある配置設計ができるとともに、さらに微細化に対応させることも可能となる。

(2) また、配置設計上の余裕度を利用してMOSトランジスタのチャネル幅を大きくすることが可能となる。また、これにより、充電時定数を小さくすることができ、光変調層での容量及び保持容量部での容量に余裕を持たせて、光変調層への印加電圧の実効値変化を抑制することが可能となる。

本発明のうち請求項10に記載の発明は、半導体基板と、透明電

極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記画素スイッチング素子がMOSトランジスタであり、このMOSトランジスタのドレイン電極とソース電極のいずれか一方の電極は前記信号線に電氣的に接続され、MOSトランジスタのドレイン電極とソース電極のいずれか他方の電極は前記画素電極に電氣的に接続され、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続されたダイオードが設けられ、このダイオードの画素電極に接続された側の半導体領域の伝導型は、前記MOSトランジスタの前記画素電極に接続された側の半導体領域の伝導型と異なっており、このダイオードで発生する光電流が、前記MOSトランジスタで発生する光電流を相殺する方向に流れることを特徴とする。

上記の構成により、基本的には請求項9記載の発明と同様の作用・効果を奏する。

本発明のうち請求項11に記載の発明は、請求項9記載の発明において、MOSトランジスタの基板バイアス電位を V_{B1} とし、ダイオードの画素電極に接続されていない側の電極の電位を V_{B2} とし、前記MOSトランジスタの接続が断たれている期間に光照射によっ

て前記MOSトランジスタおよび前記ダイオードで発生する光電流の大きさが等しくなるような画素電極電位を V_c とするとき、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする。

上記の構成により、基本的には上記請求項5記載の発明と同様な作用・効果を奏する。

本発明のうち請求項12に記載の発明は、請求項10記載の発明において、MOSトランジスタの基板バイアス電位を V_{B1} とし、ダイオードの画素電極に接続されていない側の電極の電位を V_{B2} とし、前記MOSトランジスタの接続が断たれている期間に光照射によって前記MOSトランジスタおよび前記ダイオードで発生する光電流の大きさが等しくなるような画素電極電位を V_c とするとき、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする。

上記の構成により、基本的には上記請求項5記載の発明と同様な作用・効果を奏する。

本発明のうち請求項13に記載の発明は、請求項11記載の発明において、光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{max} に対して90%の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{max} に対して10%の反射率が得られるような電圧の絶対値を、最小変調電圧 V_M と定義すると、最小変調電圧 V_M が $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方以下であることを特徴とする。

上記の構成により、基本的には上記請求項7記載の発明と同様な作用により、光変調層の駆動に支障のない程度に十分なダイナミックレンジをとることができ、MOSトランジスタを正常に動作させ、十分なコントラストで高輝度の画像を得ることができる。

本発明のうち請求項 1 4 に記載の発明は、請求項 1 2 記載の発明において、光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{\max} に対して 90% の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{\max} に対して 10% の反射率が得られるような電圧の絶対値を、最小変調電圧 V_M と定義すると、最小変調電圧 V_M が $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方以下であることを特徴とする。

上記の構成により、基本的には上記請求項 1 3 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 1 5 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は強誘電体を主成分とする薄膜によって形成されていることを特徴とする。

この構成の場合、強誘電体の比誘電率は約 1000 であって、従来例の SiO_2 の比誘電率が約 4 であるのに比べて格段に大きいので、仮に容量の幾何学的形状が従来例の場合と同じであったとしても、格段に大きい保持容量 C_{stg} を得ることができ、フリッカを抑制することができる。

また本発明のうち請求項 1 6 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は強誘電体を主成分とする薄膜によって形成されていることを特徴とする。

上記構成によれば、基本的には請求項 1 5 記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項 1 7 記載の発明は、請求項 1 5 記載の発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする。

上記構成により、保持容量部の一端の電位を一定の電圧に確実に固定することができるので、容量値が十分大きければ他端（画素電極に接続されるほう）の電位変化も小さくなり、よりフリッカの少ない映像が得られる。

また本発明のうち請求項 1 8 記載の発明は、請求項 1 6 記載の発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位

線に電氣的に接続されていることを特徴とする。

上記構成によれば、基本的には請求項 17 記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項 19 記載の発明は、請求項 15 記載の発明において、前記強誘電体薄膜の厚みは、2 nm 以上 50 μ m 以下であることを特徴とする。

上記構成により、強誘電体薄膜でのトンネル電流の発生（厚みが 2 nm より小さいと顕著になる）がなく安定な動作が実現できる。また、膜剥離（厚みが 50 μ m より大きいと顕著になる）などがなく、高い歩留まりで反射型表示素子を製造することが可能となる。

また本発明のうち請求項 20 記載の発明は、請求項 16 記載の発明において、前記強誘電体薄膜の厚みは、2 nm 以上 50 μ m 以下であることを特徴とする。

上記構成によれば、基本的には請求項 19 記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項 21 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は Ta_2O_5 、 Y_2

O_3 、 HfO_2 、 TiO_2 、 ZrO_2 、及び Nb_2O_5 のうちのいずれかを主成分とする薄膜によって形成されていることを特徴とする。

この構成の場合、上述の各材料の比誘電率はいずれも数十程度であって、従来例の SiO_2 の比誘電率が約4であるのに比べて格段に大きいので、請求項11の強誘電体薄膜の場合ほどではないにしても、かなりの程度フリッカを抑制することができる。

また本発明のうち請求項22記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は Ta_2O_5 、 Y_2O_3 、 HfO_2 、 TiO_2 、 ZrO_2 、及び Nb_2O_5 のうちのいずれかを主成分とする薄膜によって形成されていることを特徴とする。

上記構成によれば、基本的には前記請求項21記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項23記載の発明は、請求項21に記載の発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電

位線に電氣的に接続されていることを特徴とする。

また本発明のうち請求項 2 4 記載の発明は、請求項 2 2 に記載の発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする。

また本発明のうち請求項 2 5 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記半導体基板表面には溝が掘られていて、前記保持容量部の一部または全部が前記溝の側面に形成されていることを特徴とする。

このように溝の側面を利用して容量を形成することにより、大きな面積で保持容量を形成することができ、フリッカを抑制することができる。

また本発明のうち請求項 2 6 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素

スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記半導体基板表面には溝が掘られていて、前記保持容量部の一部または全部が前記溝の側面に形成されていることを特徴とする。

上記構成によれば、基本的には前記請求項 2 5 記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項 2 7 記載の発明は、請求項 2 5 に記載の発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする。

また本発明のうち請求項 2 8 記載の発明は、請求項 2 6 に記載の発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする。

また本発明のうち請求項 2 9 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と

前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上面は絶縁膜で覆われていて、前記保持容量部の一部または全部が前記絶縁膜の上部に形成されていることを特徴とする。

上記の構成により、画素スイッチング素子の上部にまでわたって保持容量を形成することができるので、より大きな容量値 C_{stg} が得られ、フリッカを抑制することができる。

また本発明のうち請求項 30 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上面は絶縁膜で覆われていて、前記保持容量部の一部または全部が前記絶縁膜の上部に形成されていることを特徴とする。

上記構成によれば、基本的には前記請求項 29 記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項 31 記載の発明は、請求項 29 に記載の

発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする。

また本発明のうち請求項 3 2 記載の発明は、請求項 3 0 に記載の発明において、前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする。

また本発明のうち請求項 3 3 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子のチャンネル幅を W 、チャンネル長を L とするとき、 W/L の値が 0.005 以上 1.5 以下であることを特徴とする。

上記構成により、MOS トランジスタのドレイン・ソース間での光リーク電流（これは、式（４）では省略している）を抑制することができ、フリッカを抑制することができる。

また本発明のうち請求項 3 4 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には

、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子のチャンネル幅を W 、チャンネル長を L とすると、 W/L の値が 0.05 以上 1.5 以下であることを特徴とする。

上記構成により、例えば、絶縁性基板としてガラス基板を使用し、このガラス基板上に画素スイッチング素子としての薄膜トランジスタ（TFT）を形成した構造の反射型表示素子において、上記請求項33記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項35記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、

前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子のチャネル幅を W 、チャネル長を L とするととき、 W/L の値が 0.005 以上 1.5 以下であることを特徴とする。

上記構成によれば、基本的には前記請求項 3 3 記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項 3 6 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子のチャネル幅を W 、チャネル長を L とするととき、 W/L の値が 0.005 以上 1.5 以下であることを特徴とする。

上記構成によれば、基本的には前記請求項 3 4 記載の発明と同様の作用・効果を奏する。

また本発明のうち請求項 3 7 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、半導体基板と対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の

各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は、 N を2以上の整数として、 $N + 1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N + 1$ 個の導電体または半導体の層のうち2個以上 N 個以下が第1の電極を構成し、それ以外が第2の電極を構成していることを特徴とする。

上記構成により、保持容量部を多層的に形成することができ、容量値を概略 N 倍にまで高めることができ、フリッカを抑制することができる。

また本発明のうち請求項38記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は、 N を2以

上の整数として、 $N + 1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N + 1$ 個の導電体または半導体の層のうち 2 個以上 N 個以下が第 1 の電極を構成し、それ以外が第 2 の電極を構成していることを特徴とする。

上記構成により、例えば、絶縁性基板としてガラス基板を使用し、このガラス基板上に画素スイッチング素子としての薄膜トランジスタ (TFT) を形成した構造の反射型表示素子において、上記請求項 37 記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項 39 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は、 N を 2 以上の整数として、 $N + 1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N + 1$ 個の導電体または半導体の層のうち 2 個以上 N 個以下が第 1 の電極を構成し、それ以外が第 2 の電極を構成していることを特徴とする。

上記請求項 37 記載の発明と同様な作用によりフリッカを抑制す

ることができる。

また本発明のうち請求項 40 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記保持容量部は、 N を 2 以上の整数として、 $N + 1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N + 1$ 個の導電体または半導体の層のうち 2 個以上 N 個以下が第 1 の電極を構成し、それ以外が第 2 の電極を構成していることを特徴とする。

上記請求項 38 記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項 41 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、

反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする。

上記構成により、入射光が炭素粒子含有有機物絶縁体により有効に遮光されて光リーク電流が小さくなり、その結果としてフリッカを抑制することができる。

また本発明のうち請求項42記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする。

上記構成により、例えば、絶縁性基板としてガラス基板を使用し、このガラス基板上に画素スイッチング素子としての薄膜トランジスタ（TFT）を形成した構造の反射型表示素子において、上記請

求項 4 1 記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項 4 3 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電気的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電気的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする。

上記請求項 4 1 記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項 4 4 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電気的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が

、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする。

上記請求項42記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項45記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、絶縁層を介して導電体または半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする。

上記構成によれば、画素スイッチング素子が遮光膜下でほぼ遮光膜の中心部にくることがになり、画素電極間隙からの漏れ光が画素スイッチング素子に到達しにくくなり、その結果として光リーク電流も少なくなり、フリッカが抑制される。

また本発明のうち請求項 4 6 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、絶縁層を介して導電体または半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする。

上記請求項 4 5 記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項 4 7 記載の発明は、半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、前記半導体基板上には、マト

リクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、絶縁層を介して導電体または半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする。

上記請求項 4 5 記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項 4 8 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表

示を行う反射型表示素子であって、前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、前記画素スイッチング素子の上方には、絶縁層を介して導電体または半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする。

上記請求項 45 記載の発明と同様な作用によりフリッカを抑制することができる。

また本発明のうち請求項 49 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、無反射処理層が形成されていることを特徴とする。

上記構成により、対向基板側から入った入射光のうち一旦、透明な絶縁性基板を突き抜けてくる光が、絶縁性基板の下面（裏面）で反射して、画素スイッチング素子に入射する光を低減することができる。この結果、フリッカを抑制することができる。

また本発明のうち請求項 50 記載の発明は、透明な絶縁性基板と

、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、無反射処理層が形成されていることを特徴とする。

上記請求項 49 記載の発明の作用・効果に加えて、別途反射層を設ける必要がなく、その分だけ反射型表示素子の厚みを小さくすることができる。

また本発明のうち請求項 51 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、予め一方の面に無反射処理層が形成されたフィルム板の他方の面が、粘着層を介して貼り付けられており、前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれ

の屈折率が概略等しいことを特徴とする。

この場合も、請求項 49 に記載の発明の場合と同様の理由でフリッカを抑制することができる。また、フィルム板に予め無反射処理層が形成されているため、このフィルム板を絶縁性基板の下面に貼り付ければよく、製造工程が容易となる。更に、素子（フィルム板以外の部分）が良品か否か検査した後、良品のみについてフィルム板を貼り付けばよいから、フィルム板を備えた素子全体を破棄する必要がなくなり、コストの低減となる。

また本発明のうち請求項 52 に記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電気的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、予め一方の面に無反射処理層が形成されたフィルム板の他方の面が、粘着層を介して貼り付けられており、前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれの屈折率が概略等しいことを特徴とする。

上記請求項 51 に記載の発明の作用・効果に加えて、別途反射層を設ける必要がなく、その分だけ反射型表示素子の厚みを小さくすることができる。

また本発明のうち請求項 53 に記載の発明は、請求項 51 に記載の

発明において、前記フィルム板が入射光の一部を吸収する機能を有することを特徴とする。

上記構成によれば、フィルム板が入射光を吸収するため、よりフリッカの抑制を図ることができる。

また本発明のうち請求項 5 4 記載の発明は、請求項 5 2 に記載の発明において、前記フィルム板が入射光の一部を吸収する機能を有することを特徴とする。

上記請求項 5 3 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 5 5 記載の発明は、請求項 5 3 に記載の発明において、前記フィルム板が偏光板であることを特徴とする。

上記構成によれば、先ず、絶縁性基板を通過する入射光のうちの偏光板の吸収軸方向の偏光成分が、偏光板により吸収される。透過軸方向の成分はそのまま絶縁性基板を通過する。そして、通過した光は、素子外の物体、例えば素子を収納するケーシングで反射して、再び絶縁性基板に入射する。このとき、素子外の物体での反射により偏光方向が回転している場合が多く、そのため、上記反射光は、絶縁性基板により吸収される。よって、絶縁性基板上に形成されている画素スイッチング素子に入射光が到達することではなく、フリッカの発生を抑制することができる。

また本発明のうち請求項 5 6 記載の発明は、請求項 5 4 に記載の発明において、前記フィルム板が偏光板であることを特徴とする。

上記請求項 5 5 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 5 7 記載の発明は、請求項 5 3 に記載の発明において、前記フィルム板が、偏光板と位相差板との積層構造で構成されていることを特徴とする。

入射光が位相差板を通過する際に位相がずれる。よって、例えば位相差板の位相差を調整しておけば、入射光の成分を偏光板の吸収軸方向と一致されることが可能となり、入射光を効率よく吸収することができる。

また本発明のうち請求項 5 8 記載の発明は、請求項 5 4 に記載の発明において、前記フィルム板が、偏光板と位相差板との積層構造で構成されていることを特徴とする。

入射光が位相差板を通過する際に位相がずれる。よって、例えば位相差板の位相差を調整しておけば、入射光の成分を偏光板の吸収軸方向と一致されることが可能となり、入射光を効率よく吸収することができる。

また本発明のうち請求項 5 9 記載の発明は、請求項 5 7 に記載の発明において、前記位相差板の位相差が概略 $\lambda/4$ に設定されていることを特徴とする。

上記構成によれば、絶縁性基板を通過する入射光のうち偏光板の吸収軸方向の偏光成分は、偏光板により吸収される。透過軸方向の成分は、そのまま透過する。そして、位相差板により位相が $\lambda/4$ ずれる。この光が素子外で反射し、再び絶縁性基板に入射する際、位相差板により再び位相が $\lambda/4$ ずれる。そのため、偏光板に入射する光は、 $\lambda/2$ の位相が生じることになり、偏光板の吸収軸方向と一致する。よって、偏光板により再び吸収されることになる。このようにして、素子外で反射した反射光をも偏光板で吸収することができるため、絶縁性基板の裏面での界面反射に起因した画素電極電位の変動を防止できる。

また本発明のうち請求項 6 0 記載の発明は、請求項 5 8 に記載の発明において、前記位相差板の位相差が概略 $\lambda/4$ に設定されていることを特徴とする。

上記構成によれば、上記請求項 5 9 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 6 1 記載の発明は、請求項 5 5 に記載の発明において、入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする。

入射光が偏光光の場合、偏光板の吸収軸を前記入射光の偏光方向と概略一致させることにより、入射光の大部分を偏光板により吸収することが可能となる。

また本発明のうち請求項 6 2 記載の発明は、請求項 5 6 に記載の発明において、入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 1 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 6 3 記載の発明は、請求項 5 7 に記載の発明において、入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 1 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 6 4 記載の発明は、請求項 5 8 に記載の発明において、入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 1 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 6 5 記載の発明は、請求項 5 9 に記載の発明において、入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 1 記載の発明と同様な作用・効

果を奏する。

また本発明のうち請求項 6 6 記載の発明は、請求項 6 0 に記載の発明において、入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 1 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 6 7 記載の発明は、請求項 5 5 に記載の発明において、入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする。

上記構成によれば、偏光板に入射する光の偏光方向と偏光板の吸収軸とが一致し、これにより入射光の大部分を偏光板により吸収することが可能となる。

また本発明のうち請求項 6 8 記載の発明は、請求項 5 6 に記載の発明において、入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 7 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 6 9 記載の発明は、請求項 5 7 に記載の発明において、入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 7 記載の発明と同様な作用・効

果を奏する。

また本発明のうち請求項 7 0 記載の発明は、請求項 5 8 に記載の発明において、入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 7 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 7 1 記載の発明は、請求項 5 9 に記載の発明において、入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 7 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 7 2 記載の発明は、請求項 6 0 に記載の発明において、入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする。

上記構成によれば、上記請求項 6 7 記載の発明と同様な作用・効果を奏する。

また本発明のうち請求項 7 3 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、こ

の画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、光吸収層が形成されていることを特徴とする。

上記構成によれば、絶縁性基板を通過する入射光を、絶縁性基板の下面（裏面）で反射させることなく、光吸収層に導き、ここで入射光を完全に吸収させることが可能となる。

また本発明のうち請求項 7 4 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、光吸収層が形成されていることを特徴とする。

上記構成によれば、絶縁性基板を通過する入射光を、絶縁性基板の下面（裏面）で反射させることなく、光吸収層に導き、ここで入射光を完全に吸収させることが可能となる。

また本発明のうち請求項 7 5 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向

基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、フィルム板が粘着層を介して貼り付けられており、このフィルム板には入射光を吸収する染料または顔料または色素の何れかが分散されており、前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれの屈折率が概略等しいことを特徴とする。

上記構成によれば、入射光は、染料等を含むフィルム板を通過する際に、染料等により吸収される。これにより、絶縁性基板の裏面での界面反射を防止できる。

また本発明のうち請求項 76 記載の発明は、透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、前記絶縁性基板の下面には、フ

フィルム板が粘着層を介して貼り付けられており、このフィルム板には入射光を吸収する染料または顔料または色素の何れかが分散されており、前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれの屈折率が概略等しいことを特徴とする。

上記構成によれば、入射光は、染料等を含むフィルム板を通過する際に、染料等により吸収される。これにより、絶縁性基板の裏面での界面反射を防止できる。

また本発明のうち請求項 7 7 記載の発明は、光源と、ハーフミラーと、液晶ライトバルブとを備えた映像装置において、前記液晶ライトバルブが請求項 1 に記載の反射型表示素子により構成されていることを特徴とする映像装置である。

上記構成によれば、高画質の映像装置が得られる。

また本発明のうち請求項 7 8 記載の発明は、光源と、ハーフミラーと、液晶ライトバルブとを備えた映像装置において、前記液晶ライトバルブが請求項 2 に記載の反射型表示素子により構成されていることを特徴とする映像装置である。

上記構成によれば、高画質の映像装置が得られる。

図面の簡単な説明

図 1 は、本発明に係る反射型液晶表示素子を使用される液晶プロジェクタの簡略化した構成図である。

図 2 は、実施の形態 1 に係る反射型液晶表示素子の縦断面図である。

図 3 は、MOS トランジスタの配置状態を示す反射型液晶表示素子における横断面図である。

図 4 は、信号線、共通電位線及び走査線等の配線状態を示す反射型液晶表示素子の横断面図である。

図 5 は、実施の形態 1 に係る反射型液晶表示素子の 1 画素あたりの等価回路図である。

図 6 は、実施の形態 1 に係る反射型液晶表示素子の動作を説明するための波形図である。

図 7 は、第 15 式を導くための図である。

図 8 は、実施の形態 1 に係る反射型液晶表示素子において、光電流と画素電極電位 V_S の関係を示す図である。

図 9 は、実施の形態 1 に係る反射型液晶表示素子における液晶の応答波形を示す図である。

図 10 は、光電流 I_{P1} , I_{P2} とバイアス電位 V_{B1} , V_{B2} との関係を示す図である。

図 11 は、最小変調電圧 V_M と反射率（輝度）との関係を示す図である。

図 12 は、実施の形態 2 に係る反射型液晶表示素子の縦断面図である。

図 13 は、実施の形態 2 に係る反射型液晶表示素子の 1 画素あたりの等価回路図である。

図 14 は、実施の形態 3 に係る反射型液晶表示素子の縦断面図である。

図 15 は、図 14 の A1 部分の拡大図である。

図 16 は、実施の形態 5 に係る反射型液晶表示素子の縦断面図である。

図 17 は、溝の側壁により容量を得る構成の他の変形例を示す縦断面図である。

図 18 は、実施の形態 4 に係る反射型液晶表示素子の縦断面図である。

図 19 は、溝の側壁により容量を得る構成の更に他の変形例を示

す縦断面図である。

図 20 は、実施の形態 7 に係る反射型液晶表示素子の縦断面図である。

図 21 は、図 20 の X3 - X3 線矢視断面図である。

図 22 は、図 20 の X4 - X4 線矢視断面図である。

図 23 は、図 20 の X5 - X5 線矢視断面図である。

図 24 は、実施の形態 7 に係る反射型液晶表示素子の 1 画素あたりの等価回路図である。

図 25 は、実施の形態 8 に係る反射型液晶表示素子の縦断面図である。

図 26 は、図 25 の A2 部分の拡大図である。

図 27 は、実施の形態 8 に係る反射型液晶表示素子の横断面図である。

図 28 は、実施の形態 9 に係る反射型液晶表示素子の縦断面図である。

図 29 は図 28 の A3 部分の拡大図である。

図 30 は、多層膜構成の保持容量の他の変形例を示す縦断面図である。

図 31 は、多層膜構成の保持容量の更に他の変形例を示す縦断面図である。

図 32 は、実施の形態 10 に係る反射型液晶表示素子の縦断面図である。

図 33 は、実施の形態 11 に係る反射型液晶表示素子の横断面図である。

図 34 は、遮光層 208 とチャネル 225 との位置関係を説明するための図である。

図 35 は、実施の形態 12 に係る反射型液晶表示素子の平面図で

ある。

図 3 6 は、図 3 5 の A 4 部分の拡大図である。

図 3 7 は、図 3 5 の Y 1 - Y 1 線矢視断面図である。

図 3 8 は、実施の形態 1 3 に係る反射型液晶表示素子の平面図である。

図 3 9、は図 3 8 の A 5 部分の拡大図である。

図 4 0 は、図 3 8 の Y 2 - Y 2 線矢視断面図である。

図 4 1 は、実施の形態 1 4 に係る反射型液晶表示素子の平面図である。

図 4 2 は、図 4 1 の A 6 部分の拡大図である。

図 4 3 は、図 4 1 の Y 3 - Y 3 線矢視断面図である。

図 4 4 は、実施の形態 1 5 に係る反射型液晶表示素子の平面図である。

図 4 5 は、図 4 4 の A 7 部分の拡大図である。

図 4 6 は、図 4 4 の Y 4 - Y 4 線矢視断面図である。

図 4 7 は、実施の形態 1 6 に係る反射型液晶表示素子の平面図である。

図 4 8 は、図 4 7 の A 8 部分の拡大図である。

図 4 9 は、図 4 7 の Y 5 - Y 5 線矢視断面図である。

図 5 0 は、実施の形態 1 7 に係る反射型液晶表示素子の平面図である。

図 5 1 は、図 5 0 の A 9 部分の拡大図である。

図 5 2 は、図 5 0 の Y 6 - Y 6 線矢視断面図である。

図 5 3 は、従来の反射型液晶表示素子の縦断面図である。

図 5 4 は、従来の反射型液晶表示素子の 1 画素あたりの等価回路図である。

図 5 5 は、従来の反射型液晶表示素子の動作を説明するための波

形図である。

図 5 6 は、従来の反射型液晶表示素子における光電流と画素電極電位 V_S の関係を示す図である。

図 5 7 は、従来の反射型液晶表示装置における液晶の応答波形を示す図である。

発明を実施するための最良の形態

(実施の形態 1)

図 1 は本発明に係る反射型液晶表示素子が用いられる液晶プロジェクタの簡略化した断面図である。液晶プロジェクタ 6 0 は、光源 6 1 と、カラーフィルタ 6 2 と、集光レンズ 6 3 と、ハーフミラー 6 4 と、反射型液晶表示素子 1 と、投影レンズ 6 6 とを有する。これらの光源 6 1、反射型液晶表示素子 1 等は、ケーシング 6 7 内に収納されている。

次いで、液晶プロジェクタの動作について簡単に説明する。光源 6 1 からの光は、カラーフィルタ 6 2、集光レンズ 6 3 を介してハーフミラー 6 4 に照射される。そして、図 1 の紙面に垂直方向の振動波がハーフミラー 6 4 に反射して反射型液晶表示素子 1 に導かれ、反射型液晶表示素子 1 により反射される。このとき反射光の振動方向が逆転する。これにより、液晶表示素子 1 からの反射光はハーフミラー 6 4 を通過し、投影レンズ 6 6 を介してスクリーン 6 8 に導かれ、所定の画像が投影される。

尚、図 1 においては、R (赤色) G (緑色) B (青色) のうちのー原色のみの構成について示されている。

以下に、上記反射型液晶表示素子 1 の構成及び製造方法等について説明する。

〔反射型液晶表示素子の構成〕

図 2 は実施の形態 1 に係る反射型液晶表示素子の縦断面図、図 3 は MOS トランジスタの配置状態を示す反射型液晶表示素子の横断面図、図 4 は信号線、走査線等の配線状態を示す反射型液晶表示素子の横断面図である。尚、図 2 は図 3 の X 1 - X 1 線矢視断面図であり、また同様に図 2 は図 4 の X 2 - X 2 線矢視断面図である。本実施の形態 1 に係る反射型液晶表示素子 1 は、p 型結晶シリコン基板 2 と、p 型結晶シリコン基板 2 に対向する透明な対向基板 3 と、前記 p 型結晶シリコン基板 2 と前記対向基板 3 との間に封入された液晶 4 とを有する。対向基板 3 は、ガラス基板である。この対向基板 3 の内側表面には、対向電極としての I T O (インジウムチタンオキサイド) 電極 5 が形成されている。シリコン基板 2 上には、画素スイッチ素子としての一对の n チャネル MOS トランジスタ 6 及び p チャネル MOS トランジスタ 7 と、保持容量部 8 とが形成されている。これらの MOS トランジスタ 6, 7 及び保持容量部 8 の上部には、第 1 絶縁層 9 が形成され、この第 1 絶縁層 9 の上部には、MOS トランジスタ 6, 7 のソースを覆う第 1 遮光層 10 a, 10 b と、信号線 11 と、走査線 22, 23 (図 4 参照) と、共通電位線 12, 13 とが形成されている。走査線 22 (電位 V G1) は、図 3 及び図 4 に示すように、コンタクトホール 20 c を通り n チャネル MOS トランジスタ 6 のゲート 6 a に接続されている。また、走査線 23 (電位 V G2) は、図 3 及び図 4 に示すように、コンタクトホール 20 d を通り p チャネル MOS トランジスタ 7 のゲート 7 a に接続されている。また、信号線 11 は、図 3 及び図 4 に示すように、コンタクトホール 20 e を通り MOS トランジスタ 6, 7 の各ドレイン 6 b, 7 b に共通に接続されている。また、共通電位線 12 は、図 3 及び図 4 に示すように、コンタクトホール 20 a を通り、p ウエルコンタクト部 27 を介して p ウエル 14 に接続されてい

る。これにより p ウェル 14 が一定の電位 (V_{B1}) に保持されている。また、共通電位線 13 は、図 3 及び図 4 に示すように、コンタクトホール 20b を通り、n ウェルコンタクト部 28 を介して n ウェル 15 に接続されている。これにより n ウェル 15 が一定の電位 (V_{B2}) に保持されている。このらの第 1 遮光層 10a, 10b、信号線 11、走査線 22, 23 及び共通電位線 12, 13 の上部には、第 2 絶縁層 16 が形成され、この第 2 絶縁層 16 上には、第 2 遮光層 17 が形成され、この第 2 遮光層 17 の上部には、平坦化膜 18 が形成され、平坦化膜 18 上には画素電極表面が反射面とされた画素電極（以下、反射画素電極と称する）19 が形成されている。また、前記保持容量部 8 は、容量電極 30 と容量酸化膜 31 と n ウェル 15 の一部とから構成されている。なお、保持容量部 8 の保持容量を C_{stg} で示す。なお、図 2 において、24 はフィールド酸化膜であり、25 は酸化膜である。

図 5 は反射型液晶表示素子 1 の 1 画素分の等価回路図である。この図 5 を参照して、MOS トランジスタ 6, 7 等の電氣的な接続状態を説明する。n チャネル MOS トランジスタ 6 のゲート 6a は、走査線 22（電位 V_{G1} ）に接続され、p チャネル MOS トランジスタ 7 のゲート 7a は、走査線 23（電位 V_{G2} ）に接続されている。そして、両 MOS トランジスタ 6, 7 の各ドレイン 6b, 7b はいずれも信号線 11（電位 V_D ）に接続され、両 MOS トランジスタ 6, 7 の各ソース 6c, 7c は反射画素電極 18（電位 V_S ）に接続されている。そして、共通電位線 12 により、p ウェル 14 は一定の電位 V_{B1} にバイアスされ、共通電位線 13 により、n ウェル 15 は一定の電位 V_{B2} にバイアスされている。ここで、 V_{B1} と V_{B2} と V_D と V_S とは、 $V_{B1} < V_D < V_{B2}$ 、および $V_{B1} < V_S < V_{B2}$ の関係を満たすように予め設定されている。なお、電位 V_{B1} は、MOS

トランジスタ 6 の基板バイアス電位に相当し、電位 V_{B2} は、MOS トランジスタ 7 の基板バイアス電位に相当する。液晶 4 および保持容量部 8 は従来例の場合と同様にそれぞれ液晶容量 C_{LC} および保持容量 C_{stg} を形成する。なお、図 5 においては、説明の簡略化のため、MOS トランジスタや配線の間を生じる微小な浮遊容量やリークコンダクタンスなどについては無視してある。

このような構成の反射型液晶表示素子 1 においては、両 MOS トランジスタ 6, 7 のソース・ウェル間接合逆バイアス部 (n チャネル MOS トランジスタ 6 の場合はソース 6 c - p ウェル 1 4 間に相当し、p チャネル MOS トランジスタ 7 の場合はソース 7 c - n ウェル 1 5 間に相当する) で光電流が発生する。IP1 および IP2 がその光電流を表している。

〔反射型液晶表示素子の作製〕

上記の反射型液晶表示素子 1 は、概略以下のようにして作製される。

[1] p 型結晶 Si 基板 2 の有効表示領域全体にリン (P) のイオン打ち込みを行って n ウェル 1 5 を形成し、さらに一部にホウ素 (B) のイオン打ち込みを行って p 型の部分 (p ウェル層 1 4) を形成する。

[2] MOS トランジスタの周辺に相当する部分に絶縁分離用の SiO_2 から成るフィールド酸化膜 2 4 を形成する。

[3] MOS トランジスタ 6, 7 のゲート酸化膜 2 5 … に相当する SiO_2 薄膜を形成する。このときに、保持容量部 8 の容量酸化膜 3 1 も同時に形成される。

[4] MOS トランジスタ 6, 7 のゲート 6 a, 7 a と保持容量部 8 の容量電極 3 0 を多結晶 Si により形成する。

[5] p ウェル 1 4 の一部分に高濃度のリン (P) 打ち込みを行

ってnチャネルMOSトランジスタ6のドレイン6bおよびソース6c（いずれも伝導型はn+）を形成する。このとき、pウェル14と共通電位線22を接続するためのpウェルコンタクト部27（伝導型はn+）も同時に形成される。

[6] nウェル15の一部分に高濃度のホウ素（B）の打ち込みを行ってpチャネルMOSトランジスタ7の7bおよび7c（いずれも伝導型はp+）を形成する。このとき、nウェル15と共通電位線23を接続するためのnウェルコンタクト部28（伝導型はp+）も同時に形成される。

[7] 第1絶縁層9に相当するPSG（リンシリケートガラス）を全面に成膜し、必要箇所にコンタクトホール20a～20eを形成する。なお、図3の断面図はこの工程までが終了した段階に相当する。

[8] Alを全面に成膜し、パターニングを行う。これにより第1遮光層10a、10b、共通電位線12、13、信号線11、および走査線22、23が形成される（ここまでの工程が終了した段階での断面図が図4に相当する）。

[9] 全面に再度PSGを全面に成膜し、必要箇所にコンタクトホールを形成する。これが第2絶縁層16になる。

[10] 再度Alを全面に成膜し、パターニングを行う。これにより第2遮光層17が形成される。

[11] 全面にポリイミドを塗布し、CMP（ケミカルメカニカルポリッシング）により平坦化する。そして、コンタクトホールを形成する。これが平坦化膜18である。

[12] 全面に再度Alを成膜し、パターニングを行う。これにより反射画素電極19が形成される。

[13] 対向側のガラス基板（対向基板3）にITO（インジウ

ムチタンオキサイド) 電極 5 を形成する。

[1 4] S i 基板側の反射画素電極 1 9 上と対向基板 3 側の I T O 電極 5 上に配向膜 (図示せず) を塗布し、ラビング等の配向処理を行う。

[1 5] 以上の 2 枚の基板を貼り合わせて、その間隙に液晶 4 を注入する。これにより反射型液晶表示素子 1 が作製される。

なお、以上で用いている材料はあくまでも一例であり、例えばゲート絶縁膜 2 5 を S i O₂ の代わりに、T a₂ O₅ や S i₃ N₄ などの絶縁体 (あるいはこれらの積層物、混合物等) で形成してもよい。また、絶縁層 9, 1 6 を、P S G の代わりにポリイミド、S i O₂、S i₃ N₄ などの絶縁体で形成してもよい。あるいは、C M P 用の平坦化膜 1 8 も同じく P S G、S i O₂、S i₃ N₄ などで形成してもよい。遮光膜 1 0 a, 1 0 b, 1 7 や反射画素電極 1 9 も A l にかぎらず例えば C r、A g、A u、I T O など構成してもよいし、これらの合金や混合物を用いてもよいし、あるいはこれらの金属にごく微量の不純物を混入させたものであってもよい (例えば A l に S i を含有させたものなど)。また、I T O 電極 5 の代わりに Z n O などの透明電極を用いてもよい。

[反射型液晶表示素子の動作]

次に、反射型液晶表示素子 1 の動作を説明する。反射型液晶表示素子 1 においては、走査線 2 2 の電位 V G1 および走査線 2 3 の電位 V G2 は図 6 (a) のように常に逆相で変化し、2 つの M O S トランジスタ 6, 7 は (スイッチングの過渡状態を除いて) 同時に選択状態になるかあるいは同時に非選択状態になるかのいずれかである。まず当該画素の走査線 2 2、2 3 が選択される (V G1 = V G10N、V G2 = V G20N になる) と 2 つの M O S トランジスタ 6, 7 はともに O N 状態になり、従来例の場合と同じく画素電極電位 V S は信号線 1

1の電位 (V_{D0}) に等しくなるまで充電される。このときの画素電極電位 V_S の変化は、従来例の場合と同様に考えて第7式で表される。

$$\begin{aligned} & (C_{stg} + C_{LC}) \, dV_S / dt \\ &= k_1 \{ (V_{G10N} - V_S)^2 - (V_{G10N} - V_{D0})^2 \} \\ & \quad + k_2 \{ (V_{D0} - V_{G0N})^2 - (V_S - V_{G20N})^2 \} \dots (7) \end{aligned}$$

但し、 k_1 は n チャネル MOS トランジスタ 6 の充電能力を示す定数であり、 k_2 は p チャネル MOS トランジスタ 7 の充電能力を示す定数である。

画素電極電位 V_S が V_{D0} に接近してくると第7式は第8式のように書くことができる。

$$\begin{aligned} & d(V_S - V_{D0}) / dt = - (V_S - V_{D0}) / \tau \dots (8) \\ & \text{但し、} \tau = (C_{stg} + C_{LC}) / 2 [k_1 (V_{G10N} - V_{D0}) \\ & \quad + k_2 (V_{D0} - V_{G20N})] \text{ である。} \end{aligned}$$

上記第8式において、 τ の式の分母は、 n チャネル MOS トランジスタの充電能力を表す $2k_1(V_{G10N} - V_{D0})$ と、 p チャネル MOS トランジスタの充電能力を表す $2k_2(V_{D0} - V_{G20N})$ の和になっている。ここで、 $Y = 2k_1(V_{G10N} - V_{D0})$ 、 $Y = 2k_2(V_{D0} - V_{G20N})$ として、 Y を縦軸に V_{D0} を横軸にとってグラフに表すと、 $Y = 2k_1(V_{G10N} - V_{D0})$ は図7のライン L1で示され、 $Y = 2k_2(V_{D0} - V_{G20N})$ は図7のライン L2に示される。ここで、信号線電位 V_{D0} の変化範囲は、 $V_{Dm}' \leq V_{D0} \leq V_{Dm}$ とする。但し、 V_{Dm}' を信号線電位の最小値、 V_{Dm} を信号線電位の最大値とする。図7に明らかに示すように、 V_{G10N} は V_{Dm} よりも大きく、 V_{G20N} は V_{Dm}' よりも小さい値である。そして、上記第8式における τ の分母はこれらの和であることから、

$Y = 2 [k_1 (V_{G10N} - V_{D0}) + k_2 (V_{D0} - V_{G20N})]$ は、図7

のライン L 3 に示される。

ここで、一般に、正孔（ホール）の移動度は電子のそれに比べて小さいため、pチャネルMOSトランジスタとnチャネルMOSトランジスタの幾何学的形状がほぼ同じ場合には $k_1 > k_2$ である。この $k_1 > k_2$ の場合、ライン L 1 の傾きの絶対値（ $= 2 k_1$ ）がライン L 2 の傾きの絶対値（ $= 2 k_2$ ）よりも大きくなるので、図 7 に示す L 3 は右下がりのグラフになる。従って、V D 0 の変域内で τ の分母が最小になる（即ち、 τ が最大になる）のは、V D 0 が最大値 V D m をとるときである。このときの τ は第 9 式のようにになる。

$$\tau = (C_{stg} + C_{LC}) / 2 [k_1 (V_{G10N} - V_{Dm}) + k_2 (V_{Dm} - V_{G20N})] \quad \dots (9)$$

一方、 $k_1 \leq k_2$ の場合には、直線 L 3 が右上がりになるので、上記とは逆に V D 0 が変域内での最小値 V D m' をとるときに τ が最大になる。いずれにせよ、第 9 式の τ は選択期間の幅に比べて十分小さくする必要がある。

次に、選択期間が終わると両 MOS トランジスタ 6, 7 は OFF 状態になる。このときの 2 つの光電流 I P 1 および I P 2 は画素電極 19 上の電荷量の変化を互いに打ち消しあうような向きに流れることになり、画素電極電位 V S の変化は第 10 式で表される。

$$(C_{stg} + C_{LC}) dV_S / dt = I_{P2} - I_{P1} \quad \dots (10)$$

ここで、もし I P 1 および I P 2 が V S に依存せず、かつ大きさがほぼ等しければ第 10 式の右辺は完全に相殺されて 0 となり、V S は非選択期間中一定の電圧を保つことになる。しかし、従来例のところで述べたような空乏層幅の変化により、I P 1 および I P 2 は V S に依存する。I P 1 および I P 2 と V S の関係を示すと図 8 (a) のようになる。これを基にして I P 2 - I P 1 と V S の関係を示すと図 8 (b) のようになり、ちょうど I P 1 = I P 2 となるような V S の値（これ

を V_C とする) に関してほぼ点対称となる。これは、 V_A をある電圧値とした場合に、画素電極電位が $V_C + V_A$ のときと $V_C - V_A$ のときとで $IP_2 - IP_1$ は符号が逆で絶対値がほぼ等しくなるということを示している。このときの $IP_2 - IP_1$ の絶対値を ΔIP とおく。よって、1 フレーム毎に $V_{D0} = V_C \pm V_A$ の電圧を交互に信号線に印加するようにすれば、非選択期間での V_S の変化分は両者で符号が逆で絶対値がほぼ等しくなり、 V_S は図 6 (b) 及び図 9 (a) で示すような変化をすることになる。この波形は、直流成分電圧 V_C に正負対称の交流波形が重畳されたものであると見ることができる。なお、図 6 (b) 及び図 9 (a) において ΔV_S は非選択期間での V_S の変化の絶対値であり、従って、 ΔV_S は第 11 式で表される。

$$\Delta V_S = \Delta IP \cdot T_f / (C_{stg} + C_{LC}) \quad \dots (11)$$

さて、液晶の応答は、液晶にかかる電圧の絶対値で決まる。いま、対向ITO電極5の電位 V_{com} を V_C に等しくしたとすると液晶への印加電圧には直流成分がなくなり、そのときの応答は図 9 (b) のように、偶奇フレームにおいて同じ波形となる。そうすると、従来例であったようなフレーム周期の2倍周期成分がなく、照射光照度の如何にかかわらずフリッカが発生しないことになる。

ここで、図 8 (a) の2つの曲線について補足しておく。 IP_1 および IP_2 はそれぞれ $(V_S - V_{B1})$ の平方根および $(V_{B2} - V_S)$ の平方根に概ね比例するが、一定照射光照度の下、比例定数が極端に違うと2つの曲線の交点の V_S の値 (V_C) が V_{B1} あるいは V_{B2} のいずれかに極端に近くなり、 $V_{com} = V_C$ としたときに液晶への印加電圧の振幅 (ダイナミックレンジ) を十分にとることができなくなる。そこで、液晶への印加電圧の振幅 (ダイナミックレンジ) を十分にとるための条件について、以下に考察する。本発明では

、フリッカを抑制するためには、上述したように、対向基板電位 V_{com} を図 8 (a) における交点の電圧 V_C に等しくし、かつ直流電圧 V_C に正負対称な交流電圧を重ねたものを画素電極に印加しなければならない。一方、MOS トランジスタを正常動作させるためには、画素電極電位は V_{B2} よりも小さく、かつ、 V_{B1} よりも大きくなければならない。従って、液晶への印加電圧の振幅は、 $(V_{B2} - V_C)$ と $(V_C - V_{B1})$ のうちの小さい方よりも大きくすることができない。ここで、図 10 (a) に示すように、 V_C が V_{B1} に極端に接近した場合を想定する。なお、印加電圧の振幅は、通常状態における最大の印加電圧の振幅の 10% 以上であれば、特に支障なく駆動できると考えられる。そこで、かかる最大の印加電圧の振幅の 10% 以上という条件下においては、 V_C は、 $0.1 \leq (V_C - V_{B1}) / (V_{B2} - V_{B1})$ を満たせばよい。一方、図 10 (b) に示すように、 V_C が V_{B2} に極端に接近した場合を想定する。この場合、上記と同様に考えて、 $0.1 \leq (V_{B2} - V_C) / (V_{B2} - V_{B1})$ を満たせばよい。ここで、 $V_{B2} - V_C$ の変化を、 $V_C - V_{B1}$ の変化としてみると、 $0.1 \leq (V_{B2} - V_C) / (V_{B2} - V_{B1})$ は、 $(V_C - V_{B1}) / (V_{B2} - V_{B1}) \leq 0.9$ と表すことができる。従って、上記 2 つの条件式より、印加電圧の振幅を防ぐためには、 V_C は第 12 式の範囲にあることが望ましいことになる。

$$0.1 \leq (V_C - V_{B1}) / (V_{B2} - V_{B1}) \leq 0.9 \dots (12)$$

ところで、上記第 12 式では、コントラストおよび輝度を厳密に考慮せずに、印加電圧の振幅が、通常状態における最大の印加電圧の振幅の 10% 以上であればよいとして、導いたものである。そこで、コントラストおよび輝度を厳密に考慮した場合における V_C の条件を、以下に考察する。十分なコントラストおよび輝度の画像を得るためには、液晶層に印加する電圧の範囲内で、反射率（輝度）

が明から暗まで十分なレンジで変化しなければならない。いま、液晶層の電圧－反射率特性（ $T-V$ 曲線）としては、図11（a）のように電圧の絶対値が大きい程、反射率が大きくなるタイプ（ノーマリ・オフ型と呼ぶ）と、逆に図11（b）のように電圧の絶対値が大きい程、反射率が小さくなるタイプ（ノーマリ・オン型と呼ぶ）とがある。そこで、それぞれについて、以下のようにして最小変調電圧 V_M を定義する。

（1）ノーマリ・オフ型の場合

最大の輝度（反射率） R_{max} に対して90%の輝度 $R_{90} = (9/10) R_{max}$ が得られるような電圧の絶対値を最小変調電圧 V_M と定義する。最大の輝度 R_{max} は、図11（a）のように電圧の増加とともに飽和傾向を示す場合にはその飽和値を、図11（c）のようにピークを持つような $V-T$ 曲線の場合にはそのピーク値を採用することにする。

（2）ノーマリ・オン型の場合

最大の輝度 R_{max} に対して10%の輝度 $R_{10} = (1/10) R_{max}$ が得られるような電圧の絶対値を最小変調電圧 V_M と定義する。最大の輝度 R_{max} は、図11（b）のように電圧0のとき最も輝度が高い場合には、そのときの輝度を、図11（d）のようにピークを持つような場合にはそのピークにおける輝度値を採用することにする。

このように定義すると、いずれの場合でも、液晶層に印加する電圧を $-V_M \sim +V_M$ の間で変化させれば、輝度の最大レンジ（ $0 \sim R_{max}$ ）に対して、90%以上のレンジで変調を行うことができ、十分な輝度とコントラストを得ることができる。従って、図8あるいは図10でこのような動作が可能となるためには、「最小変調電圧 V_M が $(V_{B2} - V_C)$ と $(V_C - V_{B1})$ のうちの小さい方以下で

あること」が条件とされる。

なお、参考までに、上記条件を数式で示すと、第 1 3 式となる。

$$V_M \leq \min(V_C - V_{B1}, V_{B2} - V_C) \quad \dots (13)$$

これは、第 1 4 式と等価である。

$$V_M \leq V_C - V_{B1} \quad \text{かつ} \quad V_M \leq V_{B2} - V_C \quad \dots (14)$$

さらに変形すると、第 1 5 式となり、第 1 2 式に類似した形になる。

$$\begin{aligned} V_M / (V_{B2} - V_{B1}) &\leq (V_C - V_{B1}) / (V_{B2} \\ &- V_{B1}) \leq 1 - V_M / (V_{B2} - V_{B1}) \quad \dots (15) \end{aligned}$$

ところで、上記第 1 2 式又は第 1 5 式に基づいて液晶表示素子 1 を駆動するに当たっては、 V_C を予め求めておく必要がある。 V_C の位置を決定する要因（すなわち、 $IP1$ と $IP2$ の比例定数の比を決定する要因）としては、大きく以下の 4 つがある。

(1) 照射した光がソース 1 7 - p ウェル 1 8 間バイアス部に到達するまでの減衰率とソース 2 2 - n ウェル 2 3 間バイアスに到達するまでの減衰率の比

(2) 2 つの逆バイアス部での（同電圧印加時の）空乏層幅の比

(3) 2 つの逆バイアス部の接合面積比

(4) 2 つの逆バイアス部での正孔・電子対発生の量子効率比

これらの各要因それぞれが非対称で比が 1 から大きくずれていても、全部の積として 1 に近ければ第 1 2 式又は第 1 5 式の条件は満たされる。そこで、例えば (3) のように設計段階で比較的コントロールしやすい因子を調整することにより V_C を変化させて第 1 2 式又は第 1 5 式を満たすようにするのが望ましい。

実際の液晶表示素子 1 において V_C の具体的な値は以下のようにして知ることができ、求められた値に基づき最適な V_C に設定され

ているか否かの判断が可能となる。

[1] 非選択期間での V_S の変化が生じない程度に、パネルへの照射光照度を十分小さい状態にする。そして、ある適当な電圧値 V_C' および V_A' を決めて、信号線に 1 フレーム毎に $V_D = V_C' \pm V_A'$ という信号電圧を印加する。この状態で対向基板の電極電位 V_{com} を変化させて、最もフリッカの小さくなるようなところ（このときの V_{com} を V_{com}' とする）を見つける。この V_{com}' が画素電極の平均電位に相当する。本来なら V_{com}' は V_C' に等しくなるはずであるが、「突き抜け」が無視できない場合にはこれらは若干異なる値になる。すなわち、突き抜けによって V_S が V_D に対して平均的に $(V_{com}' - V_C')$ だけずれることを示している。

[2] 次に、照射光照度を通常使用の状態にまで大きくする。そして、[1] で得た電圧値 V_{com}' および V_C' に対して、 $V_{com} = V_{com}' + \delta V$ 、 $V_D = V_C' + \delta V \pm V_A'$ として両方に同じバイアス δV をかけて駆動する。 δV を変化させたときに、最もフリッカの小さくなるようなところをみつければ、そのときの $V_{com} = V_{com}' + \delta V$ の値が V_C である。

なお、実際の液晶表示素子 1 において [2] の δV が最適条件から多少ずれている場合（すなわち $V_{com} \neq V_C$ である場合）、最適条件には及ばないものの、ある程度のフリッカ抑制効果は得られる。

ところで本発明の場合、非選択期間中に、液晶への印加電圧 $V_S - V_{com}$ の絶対値は必ず小さくなる方向に変化する。 $|V_S - V_{com}|$ の実効値（時間平均値） V_{LCeff} を計算すると第 16 式のようになり、光照射がないとしたときの実効値 V_A よりも小さくなることがわかる。

$$\begin{aligned} V_{LCeff} &= V_A - \Delta V_S / 2 \\ &= V_A - \Delta I_P T_f / 2 (C_{stg} + C_{LC}) \cdots (16) \end{aligned}$$

一方、従来例の場合の液晶への印加電圧の実効値 V_{LCeff} を計算すると第17式のようになり、やはり V_A よりも小さくなる。なお、 $V_{com} \neq 0$ の場合でも、 V_{com} が十分小さい範囲内であれば V_{LCeff} は V_{com} に依存しない。

$$\begin{aligned} V_{LCeff} &= V_A - (|\Delta V_{S+}| - |\Delta V_{S-}|) / 4 \\ &= V_A - [I_{P+} - I_{P-}] T_f / 4 (C_{stg} + C_{LC}) \cdots (17) \end{aligned}$$

いま、図8(a)の I_{P1} と I_{P2} の曲線が V_C に関してほぼ対称であるとみなし、かつ I_{P1} が図16の I_P と同じであるとみなすと、 ΔI_P と $I_{P+} - I_{P-}$ はほぼ等しくなると考えられる。従って、本発明の場合の実効値のずれは従来例の場合の約2倍であると考えられる。このような実効値の低下は映像の輝度（光利用効率）低下、あるいは照射光照度の面内分布に基づく反射率のばらつきなどの好ましくない影響を及ぼすので、できる限り小さく抑えることが必要である。

液晶印加電圧の実効値の低下を抑制するためには、第16式や第17式からわかるように、 $C_{stg} + C_{LC}$ を大きくすることが有効である。ところが、上記第3式や第9式に示すように充電時定数 τ による制限があり、 $C_{stg} + C_{LC}$ は無限に大きくすることはできない。いま、仮に液晶表示素子1への供給電源を最大15V（-7.5V～7.5V）、液晶への印加電圧振幅を6Vと仮定して、 $V_{G0N} = 7.5V$ 、 $V_{Dm} = 6V$ （以上、従来例の場合）、 $V_{G10N} = 7.5V$ 、 $V_{G20N} = -7.5V$ 、 $V_{Dm} = 6V$ （以上、本発明の場合）とおく。そして、 k_1 と k_2 の比を（電子と正孔の移動度の比を考慮して） $k_1 / k_2 = 2$ と仮定する。また、本発明と従来例において n チャネルMOSトランジスタは同じ設計であると仮定して $k = k_1$

であるとする。このときに第3式と第9式から両者の充電時定数比を計算すると、 τ （本発明）／ τ （従来例）＝0.18となる。すなわち、全く同じ容量 $C_{stg} + CLC$ を用いたとした場合、本発明においては従来例の0.18倍の時間で充電が行えることになる。別の言い方をすれば、本発明の場合、 $C_{stg} + CLC$ の上限は従来例に比べて $1 / 0.18 = 5.5$ 倍に設定することができる。そうすると、液晶印加電圧の実効値の低下は、従来例に比べて $2 / 5.5 = 0.36$ 倍に抑制できることになり、結果として光利用効率低下や面内での輝度分布の少ない映像が得られることになる。あるいはこの余裕を見越してさらに高照度の光照射を行えば、より高輝度の映像を得ることができる。

なお、このように τ が従来例に比べて非常に小さくなるのは物理的には以下の理由によると考えられる。すなわち、MOSトランジスタにおいては一般にゲートドレイン間電圧（あるいはゲートソース間電圧）が小さいほど充電能力は小さくなるが、MOSトランジスタをpチャネル型とnチャネル型の2つにするとドレイン電圧（＝信号線電位）に応じてこの充電能力の大小がちょうど逆になる。従って、これらが互いに補い合うようになる（同時に充電能力が小にならなくなる）からである。

なお、参考までに述べると、nチャネルMOSトランジスタとpチャネルMOSトランジスタを組み合わせた構造を採用すると、特に大きな保持容量を意図的に用いなくても寄生容量や寄生抵抗に起因する画素電極電位の変動を抑制できると考えられる。しかし、高照度光照射時の光電流に起因する液晶印加電圧実効値の変動（これは寄生容量や寄生抵抗によるものよりはるかに大きい）は、上述したよう、pチャネルMOSトランジスタとnチャネルMOSトランジスタを組み合わせた上で、かつ $C_{stg} + CLC$ を十分大きくするこ

とにより始めて抑制できるものである。ここで、液晶容量 CLC は、液晶材料（誘電率）、セルギャップ、および画素ピッチが決まれば固定されてしまう。従って、実質的には C_{stg} を大きくすることが必須となってくる。一つの目安として、保持容量 C_{stg} は最低 CLC の 3 倍以上であることが望ましい。この点について、本発明では、シリコン基板 2 に保持容量 C_{stg} を形成するようにしているため、液晶容量 CLC の 3 倍以上の大きさの保持容量 C_{stg} を形成することは容易である。

なお、前記「保持容量 C_{stg} を液晶容量 CLC の 3 倍以上」としたのは、以下の理由による。即ち、保持容量 C_{stg} が液晶容量 CLC よりも小さすぎると、第 16 式により、印加電圧の実効値の V_A からの変動分が大きくなる。このことは、電圧変化 ΔV_S が第 11 式で表されることから理解できる。そして、このずれ量が大きいと、画像の輝度低下や面内輝度のバラツキが発生することになる。従って、保持容量 C_{stg} が液晶容量 CLC より十分大きいことが必要となるからである。

さて、保持容量は、以上での説明のように容量酸化膜 25 として SiO_2 を用いた MOS 容量にするのが一般的ではあるが、これ以外でも十分に大きな容量が確保できるものであれば何でもよい。例えば、強誘電体容量を用いたり、 Ta_2O_5 、 Y_2O_3 、 HfO_2 、 TiO_2 、 ZrO_2 、 Si_3N_4 あるいは Nb_2O_5 などの高誘電率材料（これらと SiO_2 等を積層構造にしたものも含む）を用いたり、溝構造の容量を用いたり、絶縁層上に形成した容量を用いてもよい。あるいは、 $SiO_2/Si_3N_4/SiO_2$ のように多層膜構造の容量を用いてもよい。

また、MOS 容量を形成する場合、本実施の形態では n ウェル 15 上に形成しているが、p ウェル 14 上に形成しても構わない。も

ちろん両方に形成するようにしてもよく、このようにすれば、MOS容量のもつ非線型性による影響もキャンセルできるなどの利点加わる。

なお、上記の例では、保持容量は容量電極30とnウェル15の間に構成されていたけれども、本発明はこれに限定されるものではなく、例えば、nウェル15上に金属膜や半導体膜を製膜し、この膜と容量電極30との間に絶縁層を成膜することにより保持容量を構成するようにしてもよい。なお、容量電極30はAl等の金属でもよいし、n型又はp型の半導体でもよい。

ところで、本実施の形態1ではp型Si結晶基板2をベースにしているが、n型Si結晶基板であってもよい。この場合、図2のうちSi半導体で形成されている部分の伝導型(pまたはn)が全て逆転することになる(ゲート6a, 7aおよび容量電極30をのぞく)。

また、図2のようにnウェル15の中にpウェル14が形成される構造ではなく、pチャネルMOSトランジスタのところのみにnウェルを形成し、nチャネルMOSトランジスタのところのみにpウェルを形成するという構造でもよい。また、例えばn型Si結晶基板にpウェルのみを形成し、n型Si結晶基板上にpチャネルMOSトランジスタを、pウェル上にnチャネルMOSトランジスタを形成するようにしてもよい。

なお、保持容量部8は、ソース6c, 7cと隣り合う走査線22間に形成してもよく、また、ソース6c, 7cと隣り合う走査線23間に形成してもよい。

pチャネルMOSトランジスタおよびnチャネルMOSトランジスタは、以上で述べている単一構成のものでなくとも、複数のMOSトランジスタを並列または直列接続したものであってもよい。

また、本実施の形態 1 に係る反射型液晶表示素子 1 は、平坦化膜 18、第 2 遮光層 17、第 2 絶縁層 16、第 1 遮光層 10a, 10b、第 1 絶縁層 9、およびフィールド酸化膜 24 を備えていたけれども、本発明に係る反射型液晶表示素子は、これらを必ずしも備えている必要はない。即ち、本発明に係る反射型液晶表示素子においては、上記の平坦化膜 18 等は必ずしも必要な構成要素ではない。また、平坦化工程は高い反射率を得るためには不可欠であるが、必ずしも行う必要はない。なお、遮光構造はさらに層数が多くても構わない。また、p ウェルコンタクト部 27 および n ウェルコンタクト部 28 は、それぞれ逆の伝導型でもよい。

なお、液晶 4 のモードは特に限定しない。TN（ツイステッド・ネマチック）液晶、STN（スーパー・ツイステッド・ネマチック）液晶、VA 液晶（垂直配向液晶、またはホメオトロピック液晶）やホモジニアス配向液晶等を含む ECB（電界制御複屈折）型液晶、ベント液晶、IPS（面内スイッチング）液晶、GH（ゲスト・ホスト）液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶、およびその他のさまざまなモードが使用しうる。また、液晶以外でも印加電圧によって光学的特性が変化する材料であれば用いることができる。例えば BSO（ビスマスシリコンオキサイド）等の電気光学結晶や、エレクトロルミネセンスを示す材料等が考えられる。

（実施の形態 2）

図 12 は実施の形態 2 に係る反射型液晶表示素子 1A の断面図である。この実施の形態 2 は、実施の形態 1 に類似し、対応する部分には同一の参照符号を付す。この実施の形態 2 では、画素スイッチング素子としては n チャネル MOS トランジスタ 6 が用いられ、実施の形態 1 における p チャネル MOS トランジスタ 7 に代えて、p

／n接合ダイオード50が用いられる。このダイオード50は、p+領域51とnウェル15により構成される。この実施の形態2に係る反射型液晶表示素子1Aの作製工程は、基本的には実施の形態1に係る反射型液晶表示素子1と同様であり、説明は省略する。

反射型液晶表示素子1の1画素分の等価回路は、図13に示されている。p+領域51（ダイオード50のアノード側に相当）は、画素電極19に接続されており、nウェル15（ダイオード50のカソード側に相当）は共通電位線12に接続されている。ここで、上述したように共通電位線12の電位VB2は、画素電極電位VSよりも大きく、従って、ダイオード50は逆バイアスされている。また、実施の形態1と同様にnチャネルMOSトランジスタ6のソース6a・pウェル14間は、逆バイアスされている。よって、MOSトランジスタ6およびダイオード50に、光が照射されると、MOSトランジスタ6およびダイオード50のそれぞれにおいて光電流IP1およびIP2が発生する。なお、pウェル14は共通電位線12に接続され、nウェル13は共通電位線13に接続されている（これらの接続は図12には示されていない）。また、実施の形態1では、2種類の走査線22, 23が用いられたけれども、実施の形態2では、1種類の走査線55のみが用いられる。

この反射型液晶表示素子1Aの場合、当該画素選択時の充電は、実施の形態1とは異なりnチャネルMOSトランジスタ6単独によって行われる。従って、このときの動作は従来例の説明が適応され、応答速度は第3式で与えられる。一方、非選択期間での挙動は、実施の形態1と全く同じになり、この点に関しては実施の形態1での説明がそのまま適応される。すなわち本反射型液晶表示素子1Aにおいては、従来例や実施の形態1と同じMOSトランジスタを用いている限り、充電時定数の制限によるCstg + CLCの上限は従来

例の場合と変わらず液晶印加電圧の実効値低下を解決することはできないものの、液晶印加電圧波形の対称化によるフリッカの抑制という効果は得られる。そして、第12式又は第15式を満たすようにするのが望ましいのも同様である。また、実施の形態1に比べて基板面上での占有面積が少なく済むこと、および走査線が1本で済むことなどから、余裕のある配置設計ができるとともに、さらに微細化に対応させることが可能となる。また、配置設計上の余裕度を利用してnチャネルMOSトランジスタのチャネル幅を大きくする（すなわち、第1式の k を大きくする）ことも可能であるので、充電時定数を小さくすることができ、 $C_{stg} + C_{LC}$ に余裕を持たせて液晶印加電圧の実効値変化を抑制することも可能となる。

なお、液晶印加電圧の実効値変化を十分に抑制するには、実施の形態1で述べたのと同様に、 C_{stg} は C_{LC} の3倍以上は必要である。

その他、実施の形態1で述べた数々の細部の構成変化例の構成の採用について述べた箇所以下に記述は本実施の形態2においても適宜応用することができるのはもちろんである。特に、Si半導体によって構成される部分の伝導型を全て逆にしても当然かまわない。

（実施の形態1～2に関わる補足事項）

実施の形態1および実施の形態2では、nチャネルMOSトランジスタでの光電流を相殺する要素として、それぞれpチャネルMOSトランジスタおよびp/n接合ダイオードを用いているが、本発明はこれに限定されるものではなく、例えば、バイポーラトランジスタ、フォトリソトランジスタ等の光電流を相殺する機能を持っている半導体素子あればよい。

また、実施の形態1および実施の形態2では、反射画素電極を備

えた反射型液晶表示素子について説明したけれども、反射画素電極に代えて、反射性を有さない画素電極と、この画素電極の上方に例えば誘電体ミラーなどの反射層とを備えた反射型液晶表示素子であってもよい。

(実施の形態3)

図14は実施の形態3に係る反射型液晶表示素子100の断面図、図15は図14のA1部分の拡大図である。この実施の形態3は、実施の形態1に類似する。画素電極電位の変動防止等のため、実施の形態1では、画素スイッチング素子として対をなすnチャネルMOSトランジスタ6及びpチャネルMOSトランジスタ7を用いて光電流を相殺する構成としたのに対して、本実施の形態3では、保持容量部130の保持容量を大きくするようにしたことを特徴とするものである。なお、以下の実施の形態4～6も実施の形態1と同様に、保持容量を大きくするようにしたことを特徴とするものである。

実施の形態3に係る反射型液晶表示素子100は、nチャネルMOSトランジスタ99、信号線110、共通電位線109、走査線(図14では示されず)、反射画素電極104、液晶103、及び強誘電体薄膜118を用いた保持容量部130を主な構成要素としている。なお、図14において、101が対向基板、102がITO電極、103が液晶、105が平坦化膜、106が第2遮光層、107が第2絶縁層、108が第1遮光層、111が第1絶縁層、112がフィールド酸化膜、113がゲート、114が酸化膜、115がドレイン、116がソース、117が容量電極、119がpウェル、120がn型Si基板である。

この反射型液晶表示素子100の作製方法は、実施の形態1の場合と概略同様であり、省略する。

この素子の1画素分の等価回路は、基本的には従来例の場合の等価回路（図54）と同じであり、動作的にも従来例と同じとなる。

ところで、保持容量 C_{stg} は、以下の第18式で表される。

$$C_{stg} = \epsilon_0 \epsilon_r S / d \quad \dots (18)$$

この18式で、 ϵ_0 は真空の誘電率、 ϵ_r は強誘電体薄膜118を構成する強誘電体の比誘電率、 S は保持容量の面積、 d は厚さである。 SiO_2 の比誘電率が約4であるのに対し強誘電体の比誘電率は100～1000と大きいので、仮に強誘電体の厚さの下限および面積の上限が SiO_2 の場合と同じであるとすれば保持容量 C_{stg} を最大250倍大きくすることができ、 VS の変化を1/250以下に抑えることができる。この結果として、コントラスト低下、輝度低下、ちらつきやノイズの発生などのない高画質の映像が得られる。

このことは画素サイズが小さくなったときに特に効果を発する。すなわち、保持容量の面積の上限はおおむね画素面積で決まるので、 C_{stg} は概ね画素面積に比例して（すなわち画素サイズの平方に比例して）小さくなる。一方、同じ画素数で同じ明るさの映像を得るためには、1画素あたりに照射される光の強度は同じでなければならない。従って、 IP / C_{stg} は画素サイズの平方に反比例して大きくなるので、第5式および第6式からもわかるように、フリッカは画素サイズの減少とともに大きくなることになる。ここで、保持容量部の誘電体を従来例の SiO_2 から強誘電体に変えれば、画素サイズに関する下限を大幅に緩めることができ、より高解像化・小型化（または高輝度化）に対応できることになる。

強誘電体材料としては、 $PbTiO_3$ 、 $BaTiO_3$ 、 $SrTi$

O_3 、 PbZrO_3 、 PZT (PbTiO_3 と PbZrO_3 の固溶体)、 PLZT (PZT に La を添加したもの)、 PLT (PbTiO_3 に La を添加したもの)、 LiNbO_3 、 LiTaO_3 、 KNbO_3 、 KTaO_3 、 SbSI 、 KH_2PO_4 、 $(\text{CH}_2\text{NH}_2\text{COOH})_3\text{H}_2\text{SO}_4$ (硫酸三グリシン)、 $(\text{CH}_2\text{NH}_2\text{COOH})_3\text{H}_2\text{SeO}_4$ (セレン酸三グリシン)、 $(\text{CH}_2\text{NH}_2\text{COOH})_3\text{H}_2\text{BeF}_4$ 、 $\text{Gd}_2(\text{MoO}_4)_3$ 、 SnTe 、 $\text{Pb}_{1-x}\text{Ge}_x\text{Te}$ 、 BaMgF_4 等を主成分とするものがよい。また、これらの材料のうちの複数の混合物もしくは化合物、または複数を積層したものでもよい。また、強誘電体薄膜 118 の厚さはトンネル電流の影響が現れはじめる 2 nm より大きく、製造プロセスにおいて生ずる熱膨張に起因した熱応力による膜剥離が顕著になる 50 μm より小さいのが望ましい。

なお、図 14 では保持容量部 130 は容量電極 117 側がソース電位になり、p ウェル 119 側が共通電位線 109 と同じ電位になるが、これが逆になるような構成でもよい。すなわち、容量電極 117 と共通電位線 109 とが接続され、p ウェル 119 とソース 116 が接続される構成でもよい。

また、図 14 では保持容量は多結晶 Si の容量電極 117 と p ウェル 119 の間に構成されているが、これに限定されるものではない。例えば、p ウェル 119 上に金属膜や半導体膜を製膜し、この膜と容量電極 117 との間に強誘電体薄膜 118 を形成することにより保持容量を構成するなどしても構わない。

また、本実施の形態では保持容量部の誘電体を強誘電体薄膜 118 のみで形成しているが、これ以外に、保持容量部の誘電体を面積的に分割して、一部を強誘電体、他の部分を従来例の SiO_2 等の材料で形成するようにしてもよい。

また、強誘電体薄膜 118 のみでは絶縁耐圧に問題がある場合には、 SiO_2 等の常誘電体と積層構造にして絶縁耐圧を向上させることもできる。

なお、MOSトランジスタの酸化膜を SiO_2 の代わりに強誘電体薄膜そのもので置き換えても構わない。こうすることにより製造プロセスが簡略化されるとともに、トランジスタの充電能力が増大するという効果が得られる。

(実施の形態 4)

実施の形態 4 は、実施の形態 3 における強誘電体薄膜 118 に代えて、 Ta_2O_5 (酸化タンタル) 薄膜を用いたものである。 Ta_2O_5 の比誘電率は一般に 10 ~ 100 の間であり、 SiO_2 の比誘電率が 4 であるのに比べて非常に大きいので、強誘電体薄膜の場合と全く同じ効果が得られる。この場合、上記実施の形態 3 で述べたことが Ta_2O_5 についてもすべて成り立ち、高解像度・小型のパネルにおいてもコントラスト低下、輝度低下、ちらつきやノイズなどのない高画質な映像が得られる。

尚、 Ta_2O_5 以外でも Y_2O_3 、 HfO_2 、 TiO_2 、 ZrO_2 、および Nb_2O_5 などを用いてもよい。これらの材料は、 Ta_2O_5 と同様に比誘電率が 10 ~ 100 程度と高く、これらの材料のうちの何れかを Ta_2O_5 薄膜に代えて用いれば、 Ta_2O_5 と同様の効果が得られる。もちろん、これらの材料のうちのいくつかを混合あるいは化合させた物質でも同様の効果が得られる。なお、実施の形態 3 との組み合わせ、すなわち、強誘電体と上記材料の併用 (積層・混合・並列接続など) により保持容量を形成するようにしてもよい。

(実施の形態 5)

図 16 は実施の形態 5 に係る反射型液晶表示素子の断面図である

。本実施の形態では、 n 型結晶 Si 基板120の p ウェル119表面にエッチングにより溝を設け、この側面にU型の下側容量電極124を設け、その上から容量酸化膜122を形成し、さらにT型の上側容量電極123を形成したものである。下側容量電極124はソース116と接し、上側容量電極123は共通電位線109と接続されている（図16では示されていない。この断面と異なる位置で接続されている）。それ以外の構成・作製プロセスについては概ね実施の形態3と同様である。

本実施の形態の場合も等価回路は図54であらわされ、動作的には従来例と同じである。但し、保持容量は、容量酸化膜122を挟む上側容量電極123と下側容量電極124の間で形成される容量となる。本実施の形態の構成のように保持容量として溝の側面を用いることにより、1画素の限られた面積の中で非常に大きな面積の容量酸化膜122を形成することができ、従来のような平面的な容量に比べて大きな保持容量を得ることができる（第18式で S が大きくなることに相当）。従って、実施の形態3と全く同様に非選択期間での V_S の変化を抑制することができ、高解像度・小型のパネルにおいてもフリッカのない高画質な映像が得られる。

ここで、半導体基板（ n 型結晶 Si 基板120上に p ウェル119が形成された構成全体に相当）に形成する前記溝は、画素構造作り込みを行う前の半導体基板表面よりも深ければよい。

また、上側容量電極123および下側容量電極124は Al 、 Cr その他の金属や合金でもよいし、 n 型もしくは p 型の半導体によって構成してもよい。容量酸化膜122は絶縁体なら何でもよいが、 SiO_2 が一般的である。

なお、図16において、上側容量電極123がソース116に、下側容量電極124が共通電位線109に接続される構成でもよい

。

また、図 1 6 において上側容量電極 1 2 3 や下側容量電極 2 4 の一部または全部を p ウェル 1 1 9 そのもので代用することもできるし、ソース 1 1 6 そのもので代用することも可能である。

また、溝形状の底は p ウェル 1 1 9 を突き抜けて n 型結晶 S i 基板 1 2 0 にまで達してもよい。

また、溝は、p ウェル 1 1 9 表面に直接形成するのではなく、第 1 絶縁層 1 1 1、第 2 絶縁層 1 0 7、あるいは平坦化膜 1 0 5 などを形成してからエッチングを行い、p ウェル 1 1 9 よりも深くまで掘り続けることにより形成してもよい。

また、保持容量は従来例の M O S 容量などとの併用であってもよい。また、溝形状の容量は 1 画素について複数形成すればより大きな保持容量が得られ、非常に望ましい。

また、上記の図 1 6 の例では、p ウェル 1 1 9 内に溝を形成してその側壁により容量を得る構成であったけれども、図 1 7 に示すように p ウェル 1 1 9 上に盛り上げ部 1 4 0 を形成し、この盛り上げ部 1 4 0 に溝を形成してその側壁により容量を得る構成としてもよい。なお、図 1 7 において、下側容量電極 1 2 4 は共通電位線 1 0 9 に接続されており上側容量電極 1 2 3 は、容量・ソース接続配線 1 4 1 を介してソース 1 1 6 に接続されている。

(実施の形態 6)

図 1 8 は実施の形態 4 に係る反射型液晶表示素子の断面図である。本実施の形態 6 では、従来例の構成において M O S による保持容量を形成する代わりに第 1 遮光層 1 0 8 の上に酸化膜による容量を形成したものである。即ち、本実施の形態 6 における保持容量部 1 3 0 は、第 1 遮光層 1 0 8 と、容量電極 1 2 6 と、第 1 遮光層 1 0 8 と容量電極 1 2 6 との間に挟持された容量酸化膜 1 2 5 とから構

成されており、容量電極 1 2 6 は共通電位線 1 0 9 と接続されている。このような構成により、保持容量部分 1 3 0 には、保持容量 C_{stg} が形成される。

従来例の場合、保持容量の面積は、（1画素の面積）－（MOSトランジスタの占有面積）より大きくすることはできないが、本実施の形態の構成の場合、MOSトランジスタ 9 9 の上方にも容量酸化膜 1 2 5 を形成することができるので、保持容量の面積の上限は事実上 1 画素の面積そのものになる。これにより従来例に比べて大きな保持容量を得ることができ、実施の形態 3 ～ 5 と同じ理由で高解像度・小型のパネルにおいてもフリッカのない高画質な映像が得られる。

なお、容量電極 1 2 6 は Al 等の金属でもよいし、n 型・p 型等の半導体でもよい。容量酸化膜 1 2 5 は、絶縁体なら何でもよいが、例としては SiO_2 があげられる。図 1 8 では容量酸化膜 1 2 5 はほぼ全面に形成されているが、必ずしもそうする必要はなく、容量電極 1 2 6 と重なる部分にだけあれば十分である。

なお、図 1 8 の構成以外でも、たとえば第 2 遮光層 1 0 6 や反射画素電極 1 0 4 の一部または全部を保持容量の片側の電極として用いるようにしてもよい。いずれにせよ、第 1 絶縁層 1 1 1 があり、それよりも上方に一部または全部の保持容量が形成されていればよい。

（実施の形態 3 ～ 6 に関わる補足事項）

なお、以上の実施の形態 3 ～ 6 において、共通電位線 1 0 9 は必ずしも必要ではない。すなわち、保持容量を反射画素電極と共通電位線の間形成するのではなく、前段もしくは後段の走査線と反射画素電極の間形成するなどしてもかまわない。

また、平坦化膜 1 0 5、第 2 遮光層 1 0 6、第 2 絶縁層 1 0 7、

第1遮光層108、フィールド酸化膜112、pウェル119等もあるに越したことはないが、本発明で必ずしも必要な構成要素ではない。特にpウェル119なしで直接p型Si基板の上に作り込みを行ってもよい。例えば、実施の形態5の溝の側壁により容量を得る構成の反射型液晶表示素子の最も簡単な構成としては、図19に示す構成のものであれば十分である。

また、MOSトランジスタは上記実施の形態3～6では、nチャネルMOSトランジスタ（チャネルのキャリアが電子）であったけれども、もちろんpチャネルMOSトランジスタ（チャネルのキャリアが正孔）であってもよい。この場合、基板はnウェルを構成したp型Si基板、またはn型基板単独であってもよい。

また、基板は結晶Si基板ではなく多結晶Si基板でもよいし、SOI（シリコン・オン・インシュレータ）基板でもよい。

なお、液晶103のモードは特に限定しない。TN（ツイステッド・ネマチック）液晶、STN（スーパー・ツイステッド・ネマチック）液晶、VA液晶（垂直配向液晶、またはホメオトロピック液晶）やホモジニアス配向液晶等を含むECB（電界制御複屈折）型液晶、ベント液晶、IPS（面内スイッチング）液晶、GH（ゲスト・ホスト）液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶、およびその他のさまざまなモードが使用しうる。また、液晶以外でも印加電圧によって光学的特性が変化する材料であれば用いることができる。例えばBSO（ビスマスシリコンオキサイド）等の電気光学結晶や、エレクトロルミネセンスを示す材料等が考えられる。

なお、実施の形態3～実施の形態6のうちのいくつかを組み合わせることも勿論可能である。例えば、半導体基板表面に溝を形成し、そこに強誘電体薄膜やTa₂O₅で保持容量を形成するというこ

とも可能である。また、第1絶縁層111の上方に強誘電体薄膜や Ta_2O_5 で保持容量を形成するということも可能である。

(実施の形態7)

図20は実施の形態7に係る反射型液晶表示素子の断面図、図21は図20のX3-X3線矢視断面図、図22は図20のX4-X4線矢視断面図、図23は図20のX5-X5線矢視切断面である。尚、図20は図21のX6-X6線矢視断面図であり、同様に図20は図22のX7-X7線矢視断面図であり、また同様に図20は図23のX8-X8線矢視断面図である。本実施の形態7は、画素スイッチング素子としてのTFTの充電能力を示す指標である W/L を調整することにより、画素電極電位の変動を防止することを特徴とするものである。

本実施の形態7に係る反射型液晶表示素子は、半導体基板としてガラス（石英でもよい）上に多結晶Si薄膜を形成したものをを用いた反射型液晶表示素子である。この実施の形態7は、先に述べてきた実施の形態1～6のように単結晶Si基板を用いた液晶表示素子とは、構成および動作がやや異なっている。

具体的には、実施の形態7に係る反射型液晶表示素子は、画素スイッチング素子としてのTFT200、信号線210、共通電位線209（図20では示されず）、走査線（図20では示されず）、反射画素電極204、液晶203、および保持容量部分199などを主な構成要素としている。尚、保持容量部分199は、上側容量電極217と、下側容量電極224と、容量酸化膜218とから構成されている。

上記構成の反射型液晶表示素子は、概略以下のようにして作製される。

[1] ガラス基板226に多結晶Siを成膜し、パターニングによ

ってドレイン 215、ソース 216、チャネル 225、および下側容量電極 224 に相当する部分を形成する（図 21 がこの層までの断面図に相当する。）。

[2] 下型容量電極 224 に相当する部分にリン (P) の n+ イオン打ち込みを行って低抵抗化する。

[3] TFT 200 のゲート酸化膜 214 および容量酸化膜 218 に相当する SiO₂ 薄膜を形成する。

[4] ゲート 213、走査線 221、共通電位線 209、および上側容量電極 217 を多結晶 Si により形成する（図 22 がこの層までの断面図に相当する）。

[5] 全面に再度リン (P) の n+ イオン打ち込みを行って TFT のドレイン 215 およびソース 216 を形成する。

[6] 絶縁層 211 に相当する PSG (リンガラス) を全面に成膜し、必要箇所にコンタクトホール 223 を形成する。

[7] Al を全面に成膜し、パターニングを行う。これにより遮光層 208 および信号線 210 が形成される（図 23 がこの層までの断面図に相当する）。

[8] 全面にポリイミドを塗布し、CMP (ケミカルメカニカルポリッシング) により平坦化する。そして、コンタクトホールを形成する。これが平坦化膜 205 である。

[9] 全面に再度 Al を成膜し、パターニングを行う。これにより反射画素電極 204 が形成される。

[10] 対向側のガラス基板（対向基板 1）に ITO (インジウムティンオキサイド) 電極 202 を形成する。

[11] Si 基板側の反射画素電極 204 上と対向基板 201 側の ITO 電極 202 上に配向膜（図示せず）を塗布し、ラビングや光配向等の配向処理を行う。

[12] 以上の2枚の基板を貼り合わせてその間隙に液晶203を注入する。これにより反射型液晶表示素子が作製される。

なお、以上で用いている材料はあくまでも一例であり、例えばゲート酸化膜214を SiO_2 の代わりに、 Ta_2O_5 や Si_3N_4 などの絶縁体（またはこれらの積層物、混合物等）で形成してもよい。また、絶縁層を、PSGの代わりにポリイミド、 SiO_2 、 Si_3N_4 などの絶縁体で形成してもよい。または、CMP用の平坦化膜も同じくPSG、 SiO_2 、 Si_3N_4 などで形成してもよい。

遮光膜や反射画素電極もAlにかぎらず、例えばCr、Ag、Au、ITOなどで構成してもよいし、これらの合金や混合物を用いてもよいし、またはこれらの金属にごく微量の不純物を混入させたものであってもよい。また、ITOの代わりにZnOなどの透明電極を用いてもよい。

この反射型液晶表示素子の1画素分の等価回路を描くと図24のようになる。TFT200のゲート213は走査線221（電位VG）に接続され、ドレイン215は信号線210（電位VD）に接続される。そしてソース216は遮光層208を介して反射画素電極204に接続されると同時に下側容量電極224とも繋がっている。ITO電極202は、液晶への印加電圧の時間平均値が概ね0になるような一定の電位Vcomに保たれる。また、上側容量電極217は共通電位線209と繋がっていて一定の電位VBに落とされる。下側容量電極224はソース216に接続されていて、上側容量電極217との間に保持容量Cstgを形成している。なお、図24で破線で示したCGS、CGD、CDS等は各層間に存在する浮遊容量、またはゲート213とその直下のチャネル225との間に形成される容量を示したものである。また、RLCは液晶の抵抗を示してい

る。

ところで、本反射型液晶表示素子に高輝度の光を照射する場合、一部の光は反射画素電極 204 の隙間から平坦化膜 205、絶縁層 211 を伝搬してチャネル 225 にまで到達する。そうすると、チャネル 225 内で光導電効果によりキャリア（正孔および電子）が発生し、ドレイン 215 とソース 216 の間にリーク電流が発生する。図 24 中の GDS はこのリークによるコンダクタンスを示している。

なお、この回路では、ソース 216 周辺は p n 接合ではないので、図 54 に示すような光リーク電流 I_P は発生しない。

次に、本反射型液晶表示素子の動作であるが、基本的には従来例の場合と同様である。但し、光によるリーク電流が、ソースと p ウェル間の逆バイアス部で発生するものではなく、ドレインとソースの間のチャネル部で発生するという点が異なる。

この場合、リークによるコンダクタンスは、以下の第 19 式で与えられる。

$$GDS = \sigma D (W/L) \quad \dots (19)$$

ここで、 σ は光導電度であり、照明光照度に比例する量である。そして、 W はチャネルの幅、 L はチャネルの長さ、そして D はチャネル部の多結晶 Si 層の厚みである。GDS が大きいほどチャネル部での光リーク電流が大きくなり、この光リーク電流が単結晶 Si の場合の I_P と同じ作用をすることになり、フリッカが大きくなる。

この GDS を小さくするためには、 W/L を大きくすることが有効である。実際に図 20 の構成の反射型液晶表示素子を $W/L = 0.002$ 、 0.005 、 0.05 、 0.5 、 1.0 、 1.5 、 2.0 の場合について作製し（ $W = 10 \mu m$ に固定し、 L を変化させる）

、画像を表示してみたところ、 $W/L = 1.5$ 以下のものについてはフリッカは目立たなかったが、 $W/L = 2.0$ のものはフリッカが顕著であった。なお、実験に用いた反射型液晶表示素子は、画素ピッチ μm 、画素数 1024×768 とし、照射光照度は 100万 lx （ルクス）とした。なお、 W/L が極端に小さいとゲート選択期間中での充電が不完全になり、輝度ムラなどの画質低下が生じる。これは、従来例の説明の第3式の充電能力を示す定数 k （ W/L に比例する）が小さくなり、充電の時定数 τ が大きくなることに相当する。実際、 W/L が 0.005 以上のものは、このような輝度ムラは特に問題にはならなかったが、 $W/L = 0.002$ のものについては輝度ムラが目立った。

以上の結果によれば、 W/L の範囲が 0.005 以上、 1.5 以下の場合に、フリッカも輝度ムラもない良質な画像が得られて望ましいといえる。

ここで、 W/L の下限について補足する。いま、プロジェクタ用の液晶パネルと直視型の液晶パネルを比較した場合、前者は画素サイズが小さいので1画素当たりの保持容量（+液晶容量）も当然小さく、ゲート選択期間内に供給すべき電荷量も小さくて済む。一方、ゲート選択期間でのトランジスタの充電能力はその面積ではなくチャネルの縦横比 W/L によって決まるので、前者のパネルのトランジスタと後者のパネルのそれが仮に平面的に相似形であるとすれば、充電能力は同じである。従って、プロジェクタ用のパネルにおいては、トランジスタの充電能力の指標である W/L の下限を直視型パネルの場合（通常、 $W/L = 2 \sim 10$ 程度）にくらべて格段に小さくすることが可能となるのである。

なお、第19式において D を小さくするということも考えられる。しかし、ゲート酸化膜 214 または容量酸化膜 218 はピンホー

ルによるリークやトンネル電流の影響が現れないように最低限の厚みを確保する必要がある、Dを無限に小さくすることはできない。

(実施の形態 8)

図 2 5 は実施の形態 8 に係る反射型液晶表示素子の断面図、図 2 6 は図 2 5 の A 2 部分の拡大図、図 2 7 は図 2 5 の X 9 - X 9 線矢視断面図である。尚、図 2 5 は図 2 7 の X 1 0 - X 1 0 線矢視断面図である。本実施の形態 8 は、実施の形態 7 と異なり単結晶 Si の基板を用いられ、また、実施の形態 7 の T F T に代えて、n チャネル MOS トランジスタ 9 9 が用いられている。また、保持容量として MOS 容量が用いられている。本実施の形態 8 は、画素スイッチング素子としての MOS トランジスタの充電能力を示す指標である W/L を調整することにより、画素電極電位の変動を防止することを特徴とするものである

図 2 4 において、2 0 1 が対向基板、2 0 2 が I T O 電極、2 0 3 が液晶、2 0 4 が反射画素電極、2 0 5 が平坦化膜、2 0 6 が第 2 遮光層、2 0 7 が第 2 絶縁層、2 0 8 が第 1 遮光層、2 0 9 が共通電位線、2 1 0 が信号線、2 1 1 が第 1 絶縁層、2 1 2 がフィールド酸化膜、2 1 3 がゲート、2 1 4 がゲート酸化膜、2 1 5 がドレイン、2 1 6 がソース、2 1 7 が上側容量電極、2 1 8 が容量酸化膜、2 1 9 が p ウエル層、2 2 0 が n 型結晶基板、2 2 1 が走査線、2 2 2 が p ウエルコンタクト部、2 2 3 がコンタクトホールである。

この実施の形態 8 に係る反射型液晶表示素子の製造方法は、概略従来例の場合と同様である。

なお、上記構成で用いている材料はあくまでも一例であり、例えばゲート酸化膜 2 1 4 を SiO_2 の代わりに Ta_2O_5 や Si_3N_4

4 などの絶縁体（またはこれらの積層物、混合物等）で形成してもよい。また、絶縁層を、PSGの代わりにポリイミド、 SiO_2 、 Si_3N_4 などの絶縁体で形成してもよい。または、CMP用の平坦化膜も同じくPSG、 SiO_2 、 Si_3N_4 などで形成してもよい。遮光膜や反射画素電極もAlにかぎらず例えばCr、Ag、Au、ITOなどで構成してもよいし、これらの合金や混合物を用いてもよいし、またはこれらの金属にごく微量の不純物を混入させたものであってもよい。また、ITOの代わりにZnOなどの透明電極を用いてもよい。

この反射型液晶表示素子の1画素分の等価回路は、従来例の図54と同じである。反射型液晶表示素子の動作も、従来例の場合と概ね同一である。本反射型液晶表示素子においても、光リーク電流としては、ソースとpウェル間で発生する光リーク電流 I_P の他に、ドレイン・ソース間で発生する光電流（GDSに起因するもの）が僅かながら存在する（従来例の解析においては省略していた）ので、実施の形態7の場合と同様に W/L を大きくすることにより、フリッカを抑制できる。 W/L の範囲としては、実施の形態7と同様に0.005以上、1.5以下であることが望ましい。

なお、図25で保持容量は多結晶Siの容量電極217とpウェル219の間に構成されているが、これに限定されるものではない。例えば、pウェル219上に金属膜や半導体膜を製膜し、この膜と容量電極217との間に容量酸化膜218を形成することにより保持容量を構成するなどしても構わない。

（実施の形態9）

図28は実施の形態3に係る反射型液晶表示素子の断面図、図29は図28のA3部分の拡大図である。本実施の形態9は、実施の形態8と同様に単結晶Si基板を用いており、かつ、多層膜構成の

保持容量を使用することにより、画素電極電位の変動を防止することを特徴とするものである。

本実施の形態 9 の基本的な構造は、実施の形態 8 と同じであるが、面積的に拡張して形成されたソース 2 1 6 の上に順に第 2 絶縁膜 2 3 0、第 2 電極 2 2 9、第 1 絶縁膜 2 2 8、および第 1 電極 2 2 7 が形成されているのが特徴である。そして、ソース 2 1 6 と第 1 電極 2 2 7 が電氣的に接触し、第 2 電極 2 2 8 は共通電位線 2 0 9 に接続される（この接続は図 2 8 には示されず）。

本反射型液晶表示素子の 1 画素分の等価回路は図 5 4 と同じであるが、保持容量が 2 つの絶縁膜 2 2 8、2 3 0 によって形成されているため、容量値としては（同じ画素サイズの場合の）従来例の反射型液晶表示素子に比べて 2 倍に増大する。これにより、フリッカを抑制できる。

となる。

なお、絶縁膜 2 2 8、2 3 0 は、例えば SiO_2 、 Ta_2O_5 、または Si_3N_4 などの絶縁体（またはこれらの積層物、混合物等）で形成するのがよい。また、保持容量電極 2 2 7、2 2 9 は例えば Al 、 Cr 、 Au 、 Ag などの金属、 Si などの半導体、ITO などの透明電極、またはこれらの合金や不純物などで形成するのがよい。または、これらの金属にごく微量の不純物を混入させたものであってもよい。

また、絶縁膜を 3 層、4 層、…としていけば当然保持容量は 3 倍、4 倍、…となり、さらに高解像度・小型化に対応できる。例えば、図 3 0 に示すように、4 層の絶縁層 2 5 0 a、2 5 0 b、2 5 0 c、2 5 0 d が、それぞれ 5 層の導体 2 5 1 a、2 5 1 b、2 5 1 c、2 5 1 d、2 5 1 e で挟み込まれており、導体 2 5 1 a、2 5 1 c、2 5 1 e はソース 2 1 6 に接続され、導体 2 5 1 b、2 5 1

dは共通電位線に接続されている。尚、図30において、導体251a, 251c間を接続する配線270について、導体251c, 251e間を接続する配線271について、導体251b, 251d間を接続する配線272について、それぞれ模式的に描いている。このような構成により、保持容量を大きくすることができる。一般には、N層の絶縁膜（Nは2以上の整数とする）をN+1層の導体または半導体層で挟み込み、これらのN+1個の導体または半導体層がソース216もしくは共通電位線209のいずれかに接続されるようにすれば（ソース216または共通電位線209にはそれぞれ最低1つは接続する必要あり）、保持容量を大きくすることができ所望の効果が得られる。

また、図31に示すように、3個の絶縁層252a, 252b, 252cが、4個の導体253a, 253b, 253c, 253dで挟み込まれており、導体253a, 253cを共通電位線209に接続し、導体253b, 253dをソース216に接続するように構成してもよい。即ち、N+1個の導体または半導体層が交互にソース216または共通電位線209に接続するように構成してもよく、このようにすればN倍の保持容量が得られ最も望ましい。

なお、上記の例では基板として単結晶Siを用いた場合について述べたが、図21のような多結晶Si+ガラス（または石英）の基板を用いた場合においても同様の多層膜保持容量を構成することができ、所望の効果が得られる。

（実施の形態10）

図32は実施の形態10に係る反射型液晶表示素子の断面図である。本実施の形態10は、実施の形態9に類似する。実施の形態10が実施の形態9と異なるのは、絶縁層の一部（ここでは平坦化膜）を炭素粒子含有有機物絶縁体（図32では炭素粒子含有フォトレ

ジスト層 2 3 1 としてある) で形成したものである。炭素粒子含有有機物絶縁体は光吸収係数が大きいのので、反射画素電極 2 0 4 の隙間から素子内部の M O S トランジスタ部に入り込む光を有効に遮断することができ、高輝度の光を照射することが可能となり、結果としてフリッカを抑制することができる。炭素粒子含有有機物絶縁体としては、フォトレジストやポリイミドに炭素粒子を含ませたものが考えられる。なお、画素間および導電体遮光層間の電氣的絶縁という意味では、炭素粒子含有有機物絶縁体の比抵抗は十分大きいことが望ましい。

なお、炭素粒子含有有機物絶縁体層は、平坦化膜のみならず、絶縁層(例えば図 3 2 の第 1 絶縁層 2 1 1 や第 2 絶縁層 2 0 7) にも用いることができる。また、これらの平坦化膜や絶縁層のうちの複数に用いることも可能であるし、平坦化膜や絶縁層を複数の材料の積層構造にしてその一部として用いることももちろん可能である。

また、本実施の形態では単結晶 S i 基板を用いた場合について述べたが、実施の形態 7 のようなガラス(または石英)基板上に多結晶 S i を形成した構造の基板でも勿論実施可能である。

(実施の形態 1 1)

図 3 3 は実施の形態 1 1 に係る反射型液晶表示素子の横断面図である。本実施の形態 1 1 は、基本的な断面構造や電氣的接続関係は従来例と同じであるが、基板上的 M O S トランジスタ 9 9 上方に絶縁層を介して存在する遮光層 2 0 8 の平面的相対位置が従来例とは異なる。すなわち、M O S トランジスタ 9 9 のチャネル 2 2 5 (ゲート 2 1 3 の下にある) が遮光層 2 0 8 の概略中央に配置されるようにしたものである。

このような配置にすれば、読み出し光の一部が画素電極の間隙を

通過して遮光層 208 の縁に達したときの光強度が仮に従来例の場合と同じであったとしても、そこからチャネルへ達するまでの距離が長くなる分だけ光がより減衰し、結果として遮光能力が改善されることになる。

チャネル 225 と遮光層 208 の位置関係の目安として、チャネル 225 の中心（平面図上での幾何学的な重心）と遮光層 208 の中心（平面図上での幾何学的な重心）の平面図上での距離が遮光層 208 の面積の平方根の $2/3$ 以下であることが望ましい。例えば、図 34 に示すように遮光層 208 が 1 辺の長さ $M1$ の正形状の場合、チャネルの中心 $P1$ と遮光層 208 の中心 $P2$ との距離 $M2$ は、 $M2 \leq (2/3) \cdot M1$ を満たせばよい。即ち、中心 $P2$ で半径が $(2/3) \cdot M1$ の円の範囲内に、チャネルの中心 $P1$ を配置すればよい。遮光層 208 が $12\mu\text{m} \times 10\mu\text{m}$ の長形状であれば、チャネルの中心は、遮光層 208 の中心から $(2/3) \times (12\mu\text{m} \times 10\mu\text{m})^{1/2} \div 7.3\mu\text{m}$ 以内の位置にあればよい。尚、遮光層 208 の厚みを考慮して最適な範囲を設定してもよく、遮光層 208 の厚みが厚い場合は上記定数 $2/3$ を $2/3$ 以下の値に代え、薄い場合は上記定数 $2/3$ を $2/3$ 以上の値に代えて適用すればよい。

なお、本実施の形態では単結晶 Si 基板を用いた場合について述べたが、実施の形態 7 のようなガラス（または石英）基板上に多結晶 Si を形成した構造の基板を用いた素子についても同様である。

以上、（実施の形態 7）～（実施の形態 11）において幾つかの実施の形態について述べてきたが、これらにおいて、共通電位線 209 は必ずしも必要ではない。すなわち、保持容量を反射画素電極 204 と共通電位線 209 の間に形成するのではなく、前段もしくは

は後段の走査線 2 2 1 と反射画素電極 2 0 4 の間に形成するなどしてもかまわない。また、共通電位線 2 0 9 を用いる場合に、図 2 2 及び図 2 3 に示すように走査線 2 2 1 に平行であってもよいし、図 2 7 のように信号線 2 1 0 に平行であってもよい。また、平坦化膜 2 0 5、第 2 遮光層 2 0 6、第 2 絶縁層 2 0 7、第 1 遮光層 2 0 8、第 1 絶縁層 2 1 1、フィールド酸化膜 2 1 2、p ウェル 2 1 9 等もあるに越したことはないが、本発明で必ずしも必要な構成要素ではない。但し、（実施の形態 1 0）および（実施の形態 1 1）では絶縁層もしくは平坦化層のいずれか 1 つは最低必要である。また、遮光構造はさらに多層構造であってもよい。また、単結晶 S i 基板を用いる場合、p ウェル 2 1 9 なしで直接 p 型 S i 基板の上に作り込みを行ってもよい。

なお、（実施の形態 7）、（実施の形態 9）、および（実施の形態 1 1）では保持容量の下側容量電極 2 2 4 とソース 2 1 6 が接続され、上側容量電極 2 1 7 と共通電位線 2 0 9 が接続されている場合について説明し、（実施の形態 8）および（実施の形態 1 0）ではその逆の接続の場合について説明してある。しかし、いずれの実施の形態においてもどちらかでなければならないということはなく、それぞれ逆の接続もありうる。

また、容量酸化膜は必ずしも M O S トランジスタまたは T F T の酸化膜と同平面にある必要はないし、この酸化膜と容量酸化膜は厚さが異なってもよい。また、容量酸化膜は必ずしも M O S 容量である必要はない。平坦化プロセスも、十分な反射率を得るためには必要であるが、本発明に必ずしも必須の工程というわけではない。

多結晶 S i を用いる構成の場合、基板は別にガラスや石英でなくても、一般の絶縁体であればよい。例えば、プラスチックや、サファイア基板などでもよい。また、M O S トランジスタや T F T は

いずれも n チャネル型（チャネルのキャリアが電子）の場合を例として説明してあるが、もちろん p チャネル型（チャネルのキャリアが正孔）でもよい。この場合、基板としては n ウェルを構成した p 型 S i 基板、または n 型基板単独であってもよい。

また、基板は、結晶 S i 基板や多結晶 S i 基板でもよいし、S O I（シリコン・オン・インシュレータ）基板でもよい。

また、M O S トランジスタや T F T は複数に分割されていてもよい。

なお、液晶 2 0 3 のモードは特に限定しない。T N（ツイステッド・ネマチック）液晶、S T N（スーパー・ツイステッド・ネマチック）液晶、V A 液晶（垂直配向液晶、またはホメオトロピック液晶）やホモジニアス配向液晶などを含む E C B（電界制御複屈折）型液晶、ベント液晶、I P S（面内スイッチング）液晶、G H（ゲスト・ホスト）液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶、およびその他のさまざまなモードが使用しうる。また、液晶以外でも印加電圧によって光学的特性が変化する材料であれば用いることができる。例えば B S O（ビスマスシリコンオキサイド）等の電気光学結晶や、エレクトロルミネセンスを示す材料等が考えられる。

なお、（実施の形態 7）～（実施の形態 1 1）のうちのいくつかを組み合わせることももちろん可能である。

（実施の形態 1 2）

図 3 5 実施の形態 1 2 に係る反射型液晶表示素子の平面図、図 3 6 は図 3 5 の A 4 部分の拡大図、図 3 7 は図 3 5 の Y 1 - Y 1 線矢視断面図である。本実施の形態 1 2 は、実施の形態 7 と同様に透明な絶縁性基板（例えばガラス基板又は石英基板）上に多結晶 S i 薄膜を形成した構造の基板を用いた反射型液晶表示素子である。本実

施の形態 1 2 は、絶縁性基板の下面（裏面）に光を反射させない表面処理を行うことにより、絶縁性基板の裏面での界面反射を防止して画素電極電位の変動を抑制することを特徴とするものである。なお、以下の実施の形態 1 3 ～ 1 7 も、本実施の形態 1 2 と同様に絶縁性基板の裏面での界面反射を防止して画素電極電位の変動を抑制することを特徴とするものである。

図 3 5 ～ 図 3 7 において、3 1 0 1 は対向電極、3 1 0 2 は第 1 の基板、3 1 0 3 は画素スイッチング素子としての T F T、3 1 0 4 は走査線、3 1 0 5 は信号線、3 1 0 6 は反射画素電極、3 1 0 7 は絶縁性基板、3 1 0 8 は絶縁性基板の表面（T F T が形成されている方の面）、3 1 0 9 は絶縁性基板の裏面（T F T が形成されていない方の面）、3 1 1 0 は絶縁層、3 1 1 1 は液晶層、3 1 1 2 は無反射処理層、3 1 1 3 は入射光、3 1 1 4 は変調出力光、3 1 1 5 は透過光である。

前記絶縁性基板 3 1 0 7 にはガラスを、液晶層 3 1 1 1 の液晶には誘電率異方性が負のネマティック液晶を用いた垂直配向モード（V A）を、無反射処理層 3 1 1 2 には弗化マグネシウムまたは酸化珪素／酸化チタンの多層膜を用いた。

また、画素スイッチング素子 3 1 0 3 は反射画素電極 3 1 0 6 下に配置され、反射画素電極 3 1 0 6 により遮光されるようになっている。さらに走査線 3 1 0 4 や信号線 3 1 0 5 など是不透明で光を反射する材料を用いるので反射画素電極間下に存在する面積を最小になるように配置し、隣り合う反射画素電極の間隙を通過した光ができるだけ多く素子を透過するようにした。なお、一般に走査線や信号線にはアルミニウムなどの金属や不純物をドーピングしたポリシリコンが用いられる。

本実施の形態 1 2 では、無反射処理層 3 1 1 2 を設けたことによ

り、絶縁性基板 3 1 0 7 内に進入した透過光 3 1 1 5 の 9 9 % 以上を界面反射させることなく、素子外に排出できるため、1 0 0 万ルクスレベルの入射光に対してもコントラストの低下なく良好な表示特性が得られた。

尚、素子の製造に際しては、これら表面処理は高温工程を必要とするため、まず絶縁性基板 3 1 0 7 の裏面に表面処理を施した後、表面上に T F T や電極などを作り込んだ。

(実施の形態 1 3)

図 3 8 実施の形態 1 3 に係る反射型液晶表示素子の平面図、図 3 9 は図 3 8 の A 5 部分の拡大図、図 4 0 は図 3 8 の Y 2 - Y 2 線矢視断面図である。図 3 8 ~ 図 4 0 において、3 2 0 1 は対向電極、3 2 0 2 は対向基板、3 2 0 3 は T F T、3 2 0 4 は走査線、3 2 0 5 は信号線、3 2 0 6 は反射画素電極、3 2 0 7 はガラスから成る絶縁性基板、3 2 0 8 は絶縁性基板の表面、3 2 0 9 は絶縁性基板の裏面、3 2 1 0 は絶縁層、3 2 1 1 は液晶層、3 2 1 2 は粘着層、3 2 1 3 はフィルム板、3 2 1 4 は無反射処理層、3 2 1 5 は入射光、3 2 1 6 は変調出力光、3 2 1 7 は透過光である。

本実施の形態 1 3 は、無反射処理層 3 2 1 4 には弗化マグネシウムまたは酸化珪素／酸化チタンの多層膜を用い、まず透明有機フィルム板 3 2 1 3 の片面に無反射処理層 3 2 1 4 を形成させた後、もう片面に粘着材（粘着層 3 2 1 2 に相当）を塗布し、上記フィルム板 3 2 1 3 を絶縁性基板 3 2 0 7 の裏面 3 2 0 9 上には粘着材（粘着層 3 2 1 2 に相当）を用いて貼り付けて作製したことを特徴とする。その他の構成は実施の形態 1 2 と同じである。ガラス、粘着材（粘着層 3 2 1 2 に相当）およびフィルム板の屈折率はおおむね 1 . 5 であるから、絶縁性基板 3 2 0 7 の裏面 3 2 0 9 において、界面反射はほとんど起こらなかった。

また、後からフィルム 3 2 1 3 を貼り付けることから製造も極めて簡単である。また素子の検査で良品であることを確認した後、フィルム 3 2 1 3 を貼り付ければ無駄も少なくコストも軽減できる。また実施の形態 1 2 の場合は、最初は無反射処理層を形成するため、その無反射特性を維持するために素子の製造工程で使用する薬品やプロセス温度に制約が生じたが、実施の形態 1 3 では全く制約がない。

このように実施の形態 1 3 によれば、簡便な製造方法であるにも関わらず、実施の形態 1 2 とほとんど変わらない表示性能を実現できた。

(実施の形態 1 4)

図 4 1 は実施の形態 1 4 に係る反射型液晶表示素子の平面図、図 4 2 は図 4 1 の A 6 部分の拡大図、図 4 3 は図 4 1 の Y 3 - Y 3 線矢視断面図である。図 4 1 ~ 図 4 3 において、3 3 0 1 は対向電極、3 3 0 2 は対向基板、3 3 0 3 は T F T、3 3 0 4 は走査線、3 3 0 5 は信号線、3 3 0 6 は反射画素電極、3 3 0 7 は絶縁性基板、3 3 0 8 は絶縁性基板 3 3 0 7 の表面、3 3 0 9 はガラスから成る絶縁性基板 3 3 0 7 の裏面、3 3 1 0 は絶縁層、3 3 1 1 は液晶層、3 3 1 2 は粘着層、3 3 1 3 は顔料入フィルム板、3 3 1 4 は無反射処理層、3 3 1 5 は入射光、3 3 1 6 は変調出力光である。

本実施の形態は、顔料入フィルム板 3 3 1 3 以外は実施の形態 1 3 の場合とほぼ同じである。顔料入りフィルム板 3 3 1 3 は、ベースとなるフィルム板の屈折率は概略 1.5 であって、フィルム板界面での界面反射はほとんどない。但し、顔料をフィルム中に分散させることで光を吸収し素子を透過する光量を低減させた。

実施の形態 1 2 及び 1 3 では、反射画素電極の間隙を通過した光

を全部、反射型液晶表示素子外へ放出する構造であったが、逆に素子の裏面側からくる光には無防備であった。

実際には、反射型液晶表示素子の透過光を、素子外で十分に吸収する構造を設けないと、素子を透過した光が再び素子外の構造物、例えば図 1 に示すケーシング 6 7 によって反射され、再び素子に入射すると表示性能を低下させる。

そこで本実施の形態では、素子を透過する光量を減少させるためフィルム板に顔料を分散した。また無反射処理層 3 3 1 4 を設けているため、すべての光を吸収する必要はない。また素子外からの反射光はもう一度顔料入フィルム板 3 3 1 3 を通過し吸収される。

これにより、本実施の形態 1 4 では、液晶プロジェクタセット内の迷光が大幅に軽減され、入射光が 5 0 0 万ルクスレベルまで全くコントラストの低下が見られなかった。但し、光の吸収層があるので、光が熱に変わり反射型液晶表示素子の温度が少し上昇するため、空冷ファンなど冷却装置を用いた方がよい場合もある。なお、顔料入フィルム板 3 3 1 3 は、光が吸収されればよく、顔料以外にも染料や色素であってもよく、フィルム自身が不透明や着色があってもかまわない。

また、吸収する波長は、入射光の波長の少なくとも 1 部を含んでいればよく、黒色がのぞましいが、これに限るものではない。

また、顔料入フィルム板 3 3 1 3 が偏光板であってもよい。偏光板の場合、偏光板の吸収軸方向の偏光成分は吸収されるが、透過軸方向はそのまま透過する。しかし、素子外で反射した光は反射の際に偏光方向が回転している場合が多く、裏面に再入射した光の多くは吸収される。また、偏光板は、一般に顔料やヨウ素などを分散したものが多く、偏光作用を生じるフィルム板であるならばかまわない。

(実施の形態 15)

図 4 4 は実施の形態 15 に係る反射型液晶表示素子の平面図、図 4 5 は図 4 4 の A 4 部分の部拡大図、図 4 6 は図 4 4 の Y 4 - Y 4 線矢視断面図である。図 4 4 ~ 図 4 6 において、3 4 0 1 は対向電極、3 4 0 2 は対向基板、3 4 0 3 は T F T、3 4 0 4 は走査線、3 4 0 5 は信号線、3 4 0 6 は反射画素電極、3 4 0 7 は半導体基板、3 4 0 8 は半導体基板の表面、3 4 0 9 は半導体基板の裏面、3 4 1 0 は絶縁層、3 4 1 1 は液晶層、3 4 1 2 は粘着層、3 4 1 3 は偏光板、3 4 1 4 は位相差板、3 4 1 5 は無反射処理層、3 4 1 6 は入射光、3 4 1 7 は変調出力光、3 4 1 8 は透過光である。

本実施の形態では、フィルム板が偏光板であって、偏光板 3 4 1 3 と無反射処理層 3 4 1 5 の間に位相差板 3 4 1 4 がある以外は実施の形態 1 4 の場合とほぼ同じである。位相差板 3 4 1 4 の屈折率も概略 1.5 である。また、位相差板 3 4 1 4 の位相差は入射光の波長の $1/4$ が望ましい。

実施の形態 15 の場合、偏光板の吸収軸方向の偏光成分は吸収されるが、透過軸方向はそのまま透過するが位相差板によって位相が $\lambda/4$ ずれる。この光が素子外で反射し、裏面に再入射した際さらに位相が $\lambda/4$ ずれるため、再度偏光板 3 4 1 3 に入射した際には $\lambda/2$ の位相差を生じており、吸収軸と一致して光の多くは吸収される。これにより、素子裏面近傍に多少の反射物（例えば図 1 に示すケーシング 6 7）があっても、入射光が 500 万ルクスレベルまで全くコントラストの低下が見られなかった。但し、反射型液晶表示素子の温度に関しては実施の形態 1 4 と同様である。

また偏光板と位相差板との配置は、図 4 6 に示す状態が最も効果的であるが、偏光板と位相差板との配置が入れ替わっていてもかま

わない。

(実施の形態 16)

図 47 は実施の形態 16 に係る反射型液晶表示素子の平面図、図 48 は図 47 の A8 部分の拡大図、図 49 は図 47 の Y5 - Y5 線矢視断面図である。図 47 ~ 図 49 において、3501 は対向電極、3502 は対向基板、3503 は画素スイッチング素子、3504 は走査線、3505 は信号線、3506 は反射画素電極、3507 は絶縁性基板、3508 は絶縁性基板の表面、3509 は絶縁性基板の裏面、3510 は絶縁層、3511 は液晶層、3512 は光吸収層、3513 は入射光、3514 は変調出力光である。

本実施の形態は、実施の形態 12 の無反射処理層 3112 に代えて光吸収層 3512 を設け、反射画素電極間を通過した光を半導体基板の裏面 3509 で反射させることなく光吸収層に導き、ここですべての光を吸収させるようにしたものである。

光吸収層は、実施の形態 12 の場合と同様に最初に形成してもかまわないし、実施の形態 13 の場合のように最後に形成してもかまわない。例えば、簡便には反射型液晶表示素子を作成した後、裏面に塗料を塗布して光吸収層を形成する。これにより、素子裏面近傍の反射物、例えば図 1 に示すケーシング 67 の有無に関わらず、入射光が 500 万ルクスレベルまで全くコントラストの低下が見られなかった。但し、反射型液晶表示素子の温度に関しては、本実施の形態 16 の場合は実施の形態 14 の場合以上となるので、本実施の形態 16 においては反射型液晶表示素子を冷却することが望ましい。

(実施の形態 17)

図 50 は実施の形態 17 に係る反射型液晶表示素子の平面図、図 51 は図 50 の A9 部分の拡大図、図 52 は図 50 の Y6 - Y6 線

矢視断面図である。図50～図52において、3601は対向電極、3602は対向基板、3603はTFT、3604は走査線、3605は信号線、3606は反射画素電極、3607は絶縁性基板、3608は絶縁性基板の表面、3609は絶縁性基板の裏面、3610は絶縁層、3611は液晶層、3612は粘着層、3613は顔料入フィルム板、3614は入射光、3615は変調出力光である。

本実施の形態17は、実施の形態16の光吸収層3512に代えて、顔料入フィルム板3613を粘着材（粘着層3612に相当）により絶縁性基板3607の裏面3609に貼り付け、実施の形態16と同等な機能を有する構造としたことを特徴とするものである。これにより、実施の形態16と同様に素子裏面近傍の反射物の有無に関わらず、入射光が500万ルクスレベルまで全くコントラストの低下が見られなかった。但し、素子の温度に関しては実施の形態14以上であって素子を冷却することが望ましい。

（実施の形態12～17に関わる補足事項）

なお、実施の形態12～17では各反射型液晶表示素子の基本構成だけを示しているが、液晶を配向させるために配向膜を用いても良いし、液晶層の厚みを得るのにビーズ等を用いても良い。また、液晶モードもVAに限定するのではなく、TNなど他のモードであってもよい。また、入射光も偏光であってもよく、自然光であってもよく、特定の波長領域の光でもよい。

産業上の利用可能性

以上のように本発明によれば、以下の効果を奏する。

（1）半導体基板上に光電流を発生する光電変換素子を設け、この光電変換素子で発生する光電流が、画素スイッチング素子で発生

する光電流を相殺する方向に流れるようにしたので、光電流に起因した画素電極の電位の変動を可及的に低減することができる。この結果、照明光照度を大きくしても、フリッカがなく、かつ光利用効率低下や輝度ムラの少ない良好な映像が得られる。

(2) 保持容量を強誘電体薄膜によって構成したり、半導体基板に溝を設け、この溝の側壁により容量を得るようにしたので、大きな保持容量が得られ、この結果、画素電極の電位の変動を可及的に低減することができる。

(3) 画素スイッチング素子のチャネル幅 W とチャネル長 L の比 W/L を一定の範囲に設定したり、保持容量を多層構造にしたり、絶縁層を炭素粒子含有有機物絶縁体にしたり、あるいは画素スイッチング素子のチャネルが遮光膜に対して平面的に概略中央にくるように配置したりすることにより、画素電極の電位の変動を可及的に低減することができる。

(4) 透明な絶縁性基板上に画素スイッチング素子を形成した構造の反射型表示素子において、前記絶縁性基板の下面(裏面)に、光を反射させない表面処理を施すことにより、絶縁性基板の裏面での界面反射を防止することができる。これにより、絶縁性基板の裏面での界面反射に起因した画素電極電位の変動を抑制することができる。

請 求 の 範 囲

(1) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続され光照射により光電流を発生する光電変換素子が設けられ、この光電変換素子で発生する光電流が、前記画素スイッチング素子で発生する光電流を相殺する方向に流れることを特徴とする反射型表示素子。

(2) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画

素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続され光照射により光電流を発生する光電変換素子部が設けられ、この光電変換素子部で発生する光電流が、前記画素スイッチング素子で発生する光電流を相殺する方向に流れることを特徴とする反射型表示素子。

(3) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記画素スイッチング素子が対をなすnチャネルMOSトランジスタ及びpチャネルMOSトランジスタからなり、nチャネルMO

Sトランジスタ及びpチャネルMOSトランジスタの各ドレイン電極と各ソース電極の何れか一方の電極が前記信号線に電氣的に接続され、前記nチャネルMOSトランジスタ及び前記pチャネルMOSトランジスタの各ドレイン電極と各ソース電極の何れか他方の電極が前記画素電極に電氣的に接続され、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記nチャネルMOSトランジスタで発生する光電流と、前記pチャネルMOSトランジスタで発生する光電流とが、相互に相殺する方向に流れることを特徴とする反射型表示素子。

(4) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記画素スイッチング素子が対をなすnチャネルMOSトランジスタ及びpチャネルMOSトランジスタからなり、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタの各ドレイン電極と各ソース電極の何れか一方の電極が前記信号線に電氣的に接続され、前記nチャネルMOSトランジスタ及び前記pチャネルMOS

Sトランジスタの各ドレイン電極と各ソース電極の何れか他方の電極が前記画素電極に電氣的に接続され、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記nチャネルMOSトランジスタで発生する光電流と、前記pチャネルMOSトランジスタで発生する光電流とが、相互に相殺する方向に流れることを特徴とする反射型表示素子。

(5) nチャネルMOSトランジスタの基板バイアス電位を V_{B1} とし、pチャネルMOSトランジスタの基板バイアス電位を V_{B2} とし、前記pチャネルMOSトランジスタと前記nチャネルMOSトランジスタの接続が断たれている期間に光照射によって前記pチャネルMOSトランジスタ及び前記nチャネルMOSトランジスタで発生する光電流の大きさが等しくなるような画素電極電位を V_c とするとき、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする請求項3に記載の反射型表示素子。

(6) nチャネルMOSトランジスタの基板バイアス電位を V_{B1} とし、pチャネルMOSトランジスタの基板バイアス電位を V_{B2} とし、前記pチャネルMOSトランジスタと前記nチャネルMOSトランジスタの接続が断たれている期間に光照射によって前記pチャネルMOSトランジスタ及び前記nチャネルMOSトランジスタで発生する光電流の大きさが等しくなるような画素電極電位を V_c とするとき、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする請求項4に記載の反射型表示素子。

(7) 光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{max} に対して90%の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{max} に対して10%の反射率が得られるような電圧の絶対値を、最小変調

電圧 V_M と定義すると、最小変調電圧 V_M が $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方以下であることを特徴とする請求項 5 記載の反射型表示素子。

(8) 光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{max} に対して 90% の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{max} に対して 10% の反射率が得られるような電圧の絶対値を、最小変調電圧 V_M と定義すると、最小変調電圧 V_M が $(V_{B2} - V_c)$ と $(V_c - V_{B1})$ のうちの小さい方以下であることを特徴とする請求項 6 記載の反射型表示素子。

(9) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記画素スイッチング素子が MOS トランジスタであり、この MOS トランジスタのドレイン電極とソース電極のいずれか一方の電極は前記信号線に電氣的に接続され、MOS トランジスタのドレイン電極とソース電極のいずれか他方の電極は前記画素電極に電氣的に接続され、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続されたダイオードが設けられ、このダイオードの画素電極に接続された側の半導体領域の伝導型は、前記MOSトランジスタの前記画素電極に接続された側の半導体領域の伝導型と異なっており、このダイオードで発生する光電流が、前記MOSトランジスタで発生する光電流を相殺する方向に流れることを特徴とする反射型表示素子。

(10) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記画素スイッチング素子がMOSトランジスタであり、このMOSトランジスタのドレイン電極とソース電極のいずれか一方の電極は前記信号線に電氣的に接続され、MOSトランジスタのドレイン電極とソース電極のいずれか他方の電極は前記画素電極に電氣的に接続され、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接

続された保持容量部が設けられ、

更に、前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続されたダイオードが設けられ、このダイオードの画素電極に接続された側の半導体領域の伝導型は、前記MOSトランジスタの前記画素電極に接続された側の半導体領域の伝導型と異なっており、このダイオードで発生する光電流が、前記MOSトランジスタで発生する光電流を相殺する方向に流れることを特徴とする反射型表示素子。

(11) MOSトランジスタの基板バイアス電位を V_{B1} とし、ダイオードの画素電極に接続されていない側の電極の電位を V_{B2} とし、前記MOSトランジスタの接続が断たれている期間に光照射によって前記MOSトランジスタおよび前記ダイオードで発生する光電流の大きさが等しくなるような画素電極電位を V_c とすると、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする請求項9記載の反射型表示素子。

(12) MOSトランジスタの基板バイアス電位を V_{B1} とし、ダイオードの画素電極に接続されていない側の電極の電位を V_{B2} とし、前記MOSトランジスタの接続が断たれている期間に光照射によって前記MOSトランジスタおよび前記ダイオードで発生する光電流の大きさが等しくなるような画素電極電位を V_c とすると、対向基板の電極電位が V_c にほぼ等しく設定されていることを特徴とする請求項10記載の反射型表示素子。

(13) 光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{max} に対して90%の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{max} に対して10%の反射率が得られるような電圧の絶対値を、最小変調電圧 V_M と定義すると、最小変調電圧 V_M が $(V_{B2} - V_c)$ と(

$V_c - VB1$) のうちの小さい方以下であることを特徴とする請求項 11 記載の反射型表示素子。

(14) 光変調層の電圧－反射率特性がノーマリ・オフ型の場合には、最大反射率 R_{max} に対して 90% の反射率が得られるような電圧の絶対値を、ノーマリ・オン型の場合には、最大反射率 R_{max} に対して 10% の反射率が得られるような電圧の絶対値を、最小変調電圧 V_M と定義すると、最小変調電圧 V_M が $(VB2 - V_c)$ と $(V_c - VB1)$ のうちの小さい方以下であることを特徴とする請求項 12 記載の反射型表示素子。

(15) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記保持容量部は強誘電体を主成分とする薄膜によって形成されていることを特徴とする反射型表示素子。

(16) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記保持容量部は強誘電体を主成分とする薄膜によって形成されていることを特徴とする反射型表示素子。

(17) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする請求項15記載の反射型表示素子。

(18) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする請求項16記載の反射型表示素子。

(19) 前記強誘電体薄膜の厚みは、2 nm以上50 μ m以下であることを特徴とする請求項15記載の反射型表示素子。

(20) 前記強誘電体薄膜の厚みは、2 nm以上50 μ m以下であることを特徴とする請求項16記載の反射型表示素子。

(21) 半導体基板と、透明電極を備えた透明な対向基板と、前

記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記保持容量部は Ta_2O_5 、 Y_2O_3 、 HfO_2 、 TiO_2 、 ZrO_2 、及び Nb_2O_5 のうちのいずれかを主成分とする薄膜によって形成されていることを特徴とする反射型表示素子。

(22) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表

示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記保持容量部は Ta_2O_5 、 Y_2O_3 、 HfO_2 、 TiO_2 、 ZrO_2 、及び Nb_2O_5 のうちのいずれかを主成分とする薄膜によって形成されていることを特徴とする反射型表示素子。

(23) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする請求項21に記載の反射型表示素子。

(24) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする請求項22に記載の反射型表示素子。

(25) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接

続された保持容量部が設けられ、

前記半導体基板表面には溝が掘られていて、前記保持容量部の一部または全部が前記溝の側面に形成されていることを特徴とする反射型表示素子。

(26) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記半導体基板表面には溝が掘られていて、前記保持容量部の一部または全部が前記溝の側面に形成されていることを特徴とする反射型表示素子。

(27) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする請求項25に記載の反射型表示素子。

(28) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線

に電氣的に接続されていることを特徴とする請求項 26 に記載の反射型表示素子。

(29) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上面は絶縁膜で覆われていて、

前記保持容量部の一部または全部が前記絶縁膜の上部に形成されていることを特徴とする反射型表示素子。

(30) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされている

るそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上面は絶縁膜で覆われていて、

前記保持容量部の一部または全部が前記絶縁膜の上部に形成されていることを特徴とする反射型表示素子。

(31) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする請求項29に記載の反射型表示素子。

(32) 前記信号線あるいは前記走査線に対して概略平行に配置された共通電位線を有し、前記保持容量部の一端は前記共通電位線に電氣的に接続されていることを特徴とする請求項30に記載の反射型表示素子。

(33) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電

圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子のチャンネル幅を W 、チャンネル長を L とすると、 W/L の値が 0.005 以上 1.5 以下であることを特徴とする反射型表示素子。

(34) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子のチャンネル幅を W 、チャンネル長を L とすると、 W/L の値が 0.005 以上 1.5 以下であることを特徴とする反射型表示素子。

(35) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子のチャネル幅を W 、チャネル長を L とすると、 W/L の値が 0.005 以上 1.5 以下であることを特徴とする反射型表示素子。

(36) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接

続された保持容量部が設けられ、

前記画素スイッチング素子のチャネル幅を W 、チャネル長を L とすると、 W/L の値が 0.005 以上 1.5 以下であることを特徴とする反射型表示素子。

(37) 半導体基板と、透明電極を備えた透明な対向基板と、半導体基板と対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記保持容量部は、 N を2以上の整数として、 $N+1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N+1$ 個の導電体または半導体の層のうち2個以上 N 個以下が第1の電極を構成し、それ以外が第2の電極を構成していることを特徴とする反射型表示素子。

(38) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチ

ング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記保持容量部は、 N を2以上の整数として、 $N + 1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N + 1$ 個の導電体または半導体の層のうち2個以上 N 個以下が第1の電極を構成し、それ以外が第2の電極を構成していることを特徴とする反射型表示素子。

(39) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接

続された保持容量部が設けられ、

前記保持容量部は、 N を2以上の整数として、 $N+1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N+1$ 個の導電体または半導体の層のうち2個以上 N 個以下が第1の電極を構成し、それ以外が第2の電極を構成していることを特徴とする反射型表示素子。

(40) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記保持容量部は、 N を2以上の整数として、 $N+1$ 個の導電体または半導体の層の間に N 個の絶縁体層が挟み込まれた積層構造を有していて、前記 $N+1$ 個の導電体または半導体の層のうち2個以上 N 個以下が第1の電極を構成し、それ以外が第2の電極を構成していることを特徴とする反射型表示素子。

(41) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする反射型表示素子。

(42) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする反射型表示素子。

(43) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする反射型表示素子。

(44) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチ

ング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、1つ以上の絶縁層があり、前記絶縁層のうち少なくとも1つは炭素粒子含有有機物絶縁体であることを特徴とする反射型表示素子。

(4.5) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、絶縁層を介して導電体ま

たは半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、

前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする反射型表示素子。

(46) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、絶縁層を介して導電体または半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、

前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする反射型表示素子。

(47) 半導体基板と、透明電極を備えた透明な対向基板と、前記半導体基板と前記対向基板との間に配置された光変調層とを備え、

前記半導体基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記半導体基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、絶縁層を介して導電体または半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、

前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする反射型表示素子。

(48) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画

素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板上には、各画素毎に、前記画素電極に電氣的に接続された保持容量部が設けられ、

前記画素スイッチング素子の上方には、絶縁層を介して導電体または半導体の層が形成され、この導電体または半導体の層は各画素毎に分離されて各画素毎に設けられる遮光膜を構成しており、

前記画素スイッチング素子のチャネルの中心から前記遮光膜面におろした垂線の足と前記遮光膜の重心との間の距離は、前記遮光膜の面積の平方根の $2/3$ 以下であることを特徴とする反射型表示素子。

(49) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板の下面には、無反射処理層が形成されていることを特徴とする反射型表示素子。

(50) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板の下面には、無反射処理層が形成されていることを特徴とする反射型表示素子。

(51) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表

示素子であって、

前記絶縁性基板の下面には、予め一方の面に無反射処理層が形成されたフィルム板の他方の面が、粘着層を介して貼り付けられており、

前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれの屈折率が概略等しいことを特徴とする反射型表示素子。

(52) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電気的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板の下面には、予め一方の面に無反射処理層が形成されたフィルム板の他方の面が、粘着層を介して貼り付けられており、

前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれの屈折率が概略等しいことを特徴とする反射型表示素子。

(53) 前記フィルム板が入射光の一部を吸収する機能を有することを特徴とする請求項51に記載の反射型表示素子。

(54) 前記フィルム板が入射光の一部を吸収する機能を有することを特徴とする請求項52に記載の反射型表示素子。

(55) 前記フィルム板が偏光板であることを特徴とする請求項53に記載の反射型表示素子。

(56) 前記フィルム板が偏光板であることを特徴とする請求項54に記載の反射型表示素子。

(57) 前記フィルム板が、偏光板と位相差板との積層構造で構成されていることを特徴とする請求項53に記載の反射型表示素子。

(58) 前記フィルム板が、偏光板と位相差板との積層構造で構成されていることを特徴とする請求項54に記載の反射型表示素子。

(59) 前記位相差板の位相差が概略 $\lambda/4$ に設定されていることを特徴とする請求項57に記載の反射型表示素子。

(60) 前記位相差板の位相差が概略 $\lambda/4$ に設定されていることを特徴とする請求項58に記載の反射型表示素子。

(61) 入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする請求項55に記載の反射型表示素子。

(62) 入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする請求項56に記載の反射型表示素子。

(63) 入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする請求項57に記載の反射型表示素子。

(64) 入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする請求項58に記載の反射型表示素子。

(65) 入射光が偏光光であって、前記偏光板の吸収軸が前記入

射光の偏光方向と概略一致することを特徴とする請求項 59 に記載の反射型表示素子。

(66) 入射光が偏光光であって、前記偏光板の吸収軸が前記入射光の偏光方向と概略一致することを特徴とする請求項 60 に記載の反射型表示素子。

(67) 入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする請求項 55 に記載の反射型表示素子。

(68) 入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする請求項 56 に記載の反射型表示素子。

(69) 入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする請求項 57 に記載の反射型表示素子。

(70) 入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする請求項 58 に記載の反射型表示素子。

(71) 入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする請求項 59 に記載の反射型表示素子。

(72) 入射光が偏光光であり、前記光変調層がツイスト・ネマチックモードの液晶層であって、偏光板の吸収軸が前記入射光の

偏光方向に前記液晶のツイスト角度を加えた方向と概略一致することを特徴とする請求項 60 に記載の反射型表示素子。

(73) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板の下面には、光吸収層が形成されていることを特徴とする反射型表示素子。

(74) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表

示素子であって、

前記絶縁性基板の下面には、光吸収層が形成されていることを特徴とする反射型表示素子。

(75) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電氣的に接続された画素電極と、反射層とが、この順序で積層状に形成されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板の下面には、フィルム板が粘着層を介して貼り付けられており、このフィルム板には入射光を吸収する染料または顔料または色素の何れかが分散されており、

前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれの屈折率が概略等しいことを特徴とする反射型表示素子。

(76) 透明な絶縁性基板と、透明電極を備えた透明な対向基板と、前記絶縁性基板と前記対向基板との間に配置された光変調層とを備え、

前記絶縁性基板上には、マトリクス状の画素配列に対応してマトリクス状に配線された信号線と走査線の各交差位置に画素スイッチング素子が形成され、この画素スイッチング素子の上方には、各画素毎に設けられ前記画素スイッチング素子を介して前記信号線に電

氣的に接続された画素電極であって、電極表面が反射面とされているそのような画素電極が、配置されており、

前記透明電極と前記画素電極との間に電圧を印加し、この印加電圧に応じて光変調層の光学的状態を変化させて表示を行う反射型表示素子であって、

前記絶縁性基板の下面には、フィルム板が粘着層を介して貼り付けられており、このフィルム板には入射光を吸収する染料または顔料または色素の何れかが分散されており、

前記絶縁性基板と前記粘着層と前記フィルム板のそれぞれの屈折率が概略等しいことを特徴とする反射型表示素子。

(77) 光源と、ハーフミラーと、液晶ライトバルブとを備えた映像装置において、

前記液晶ライトバルブが請求項1に記載の反射型表示素子により構成されていることを特徴とする映像装置。

(78) 光源と、ハーフミラーと、液晶ライトバルブとを備えた映像装置において、

前記液晶ライトバルブが請求項2に記載の反射型表示素子により構成されていることを特徴とする映像装置。

図1

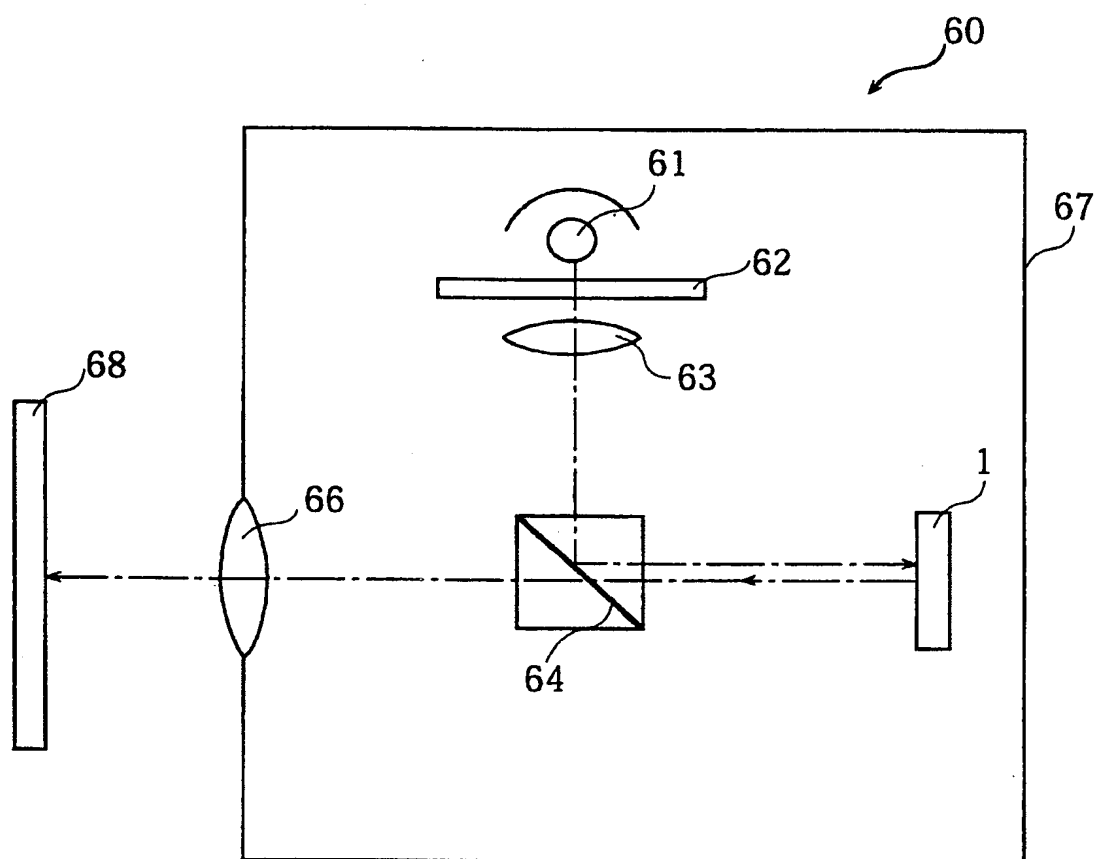


図2

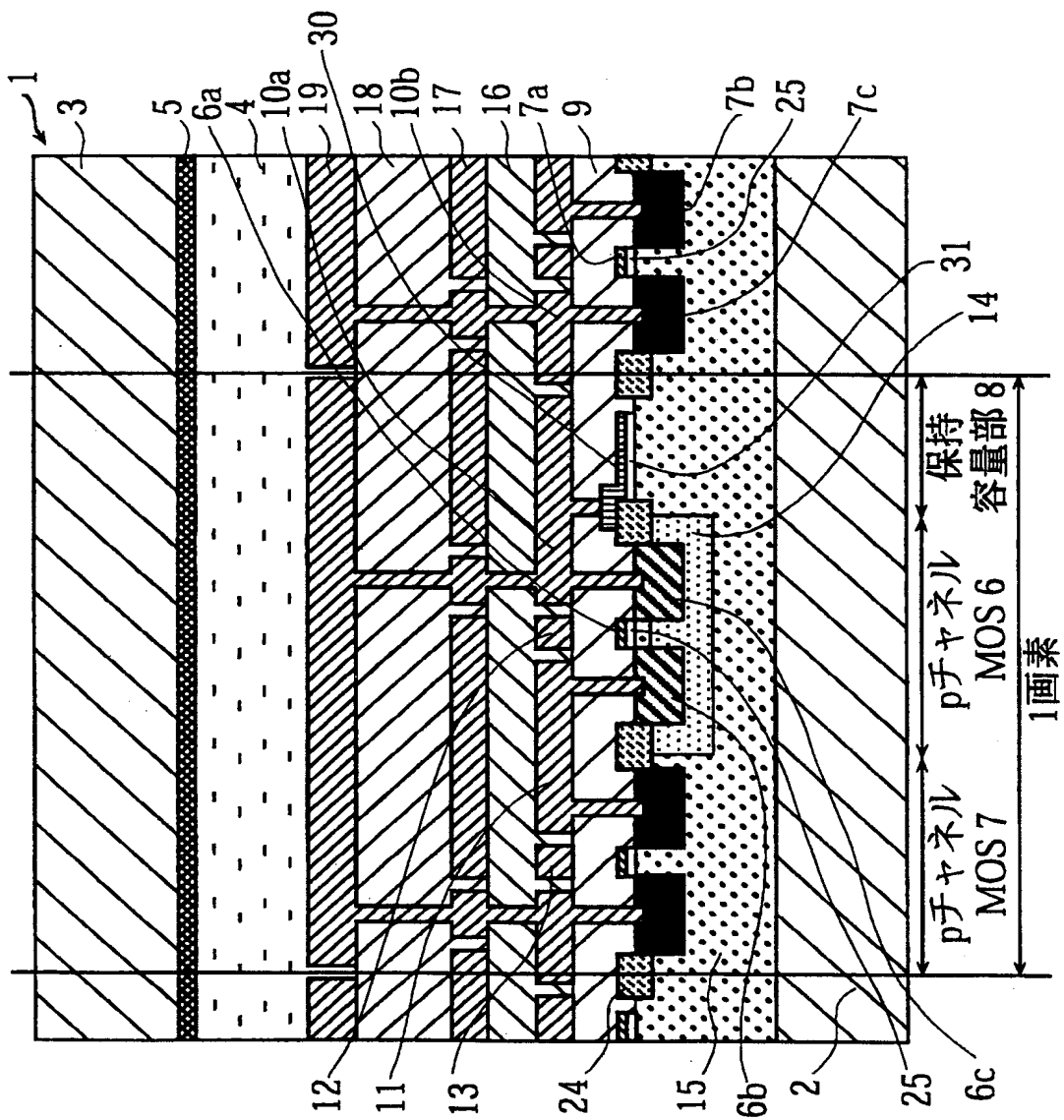


図3

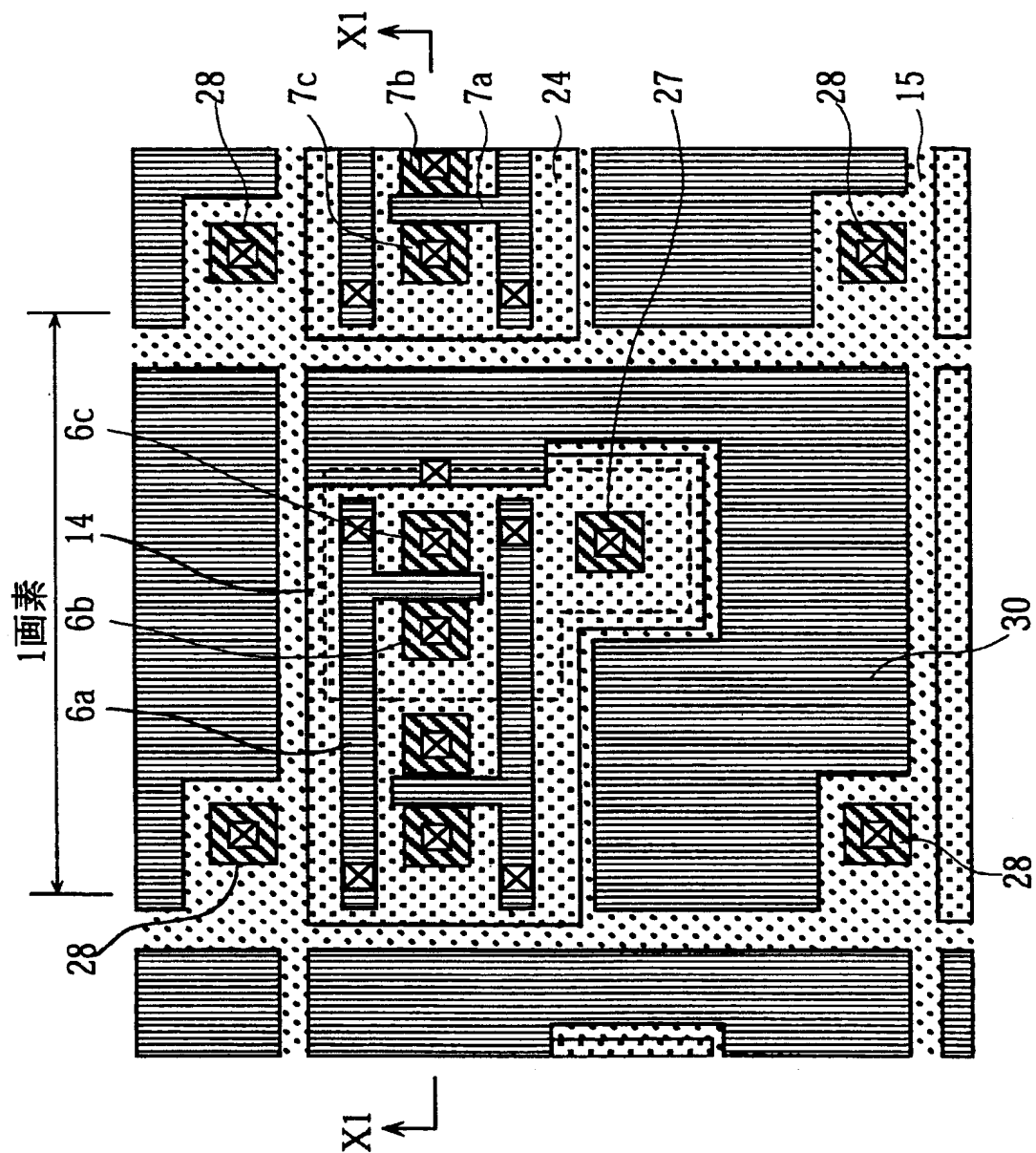


図4

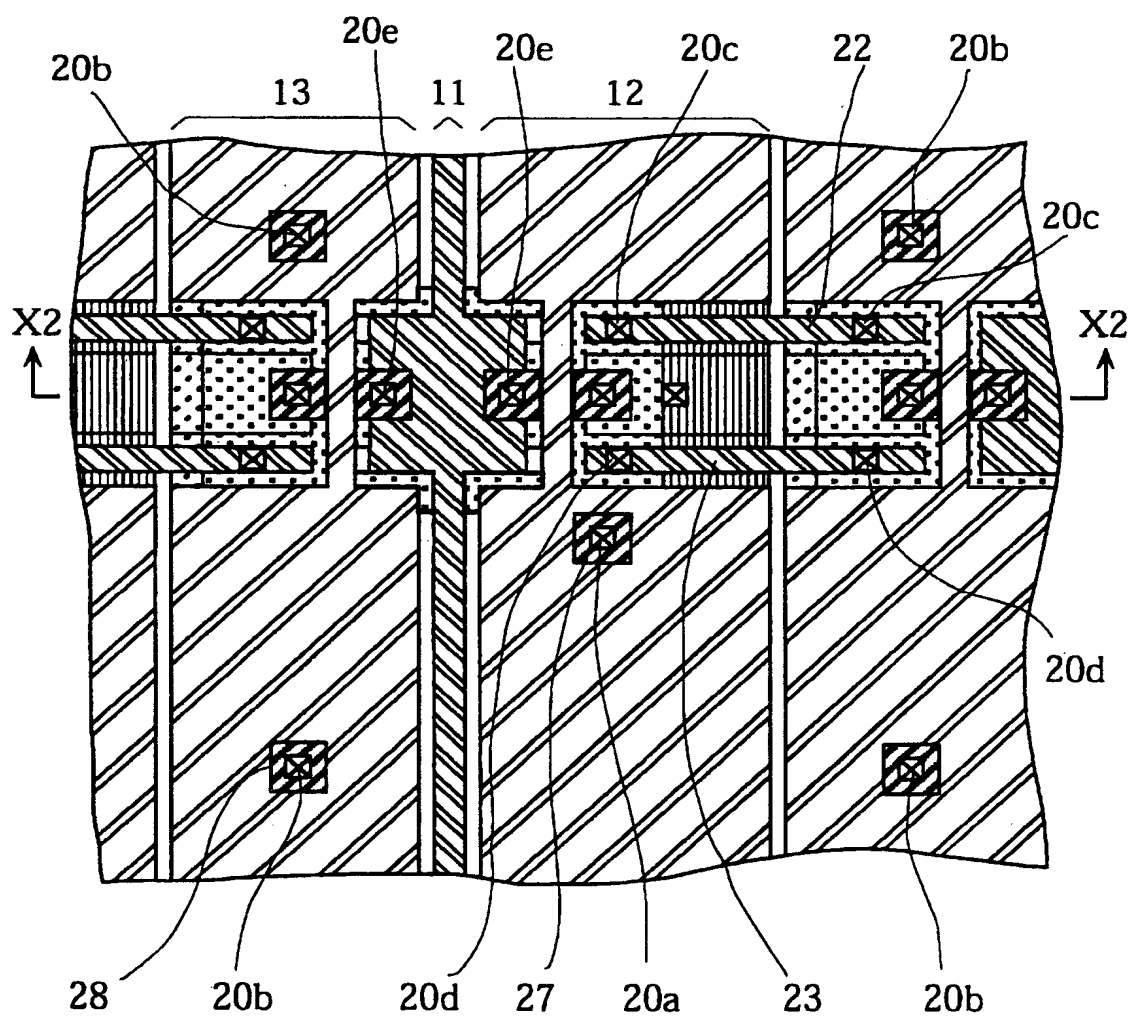


図6

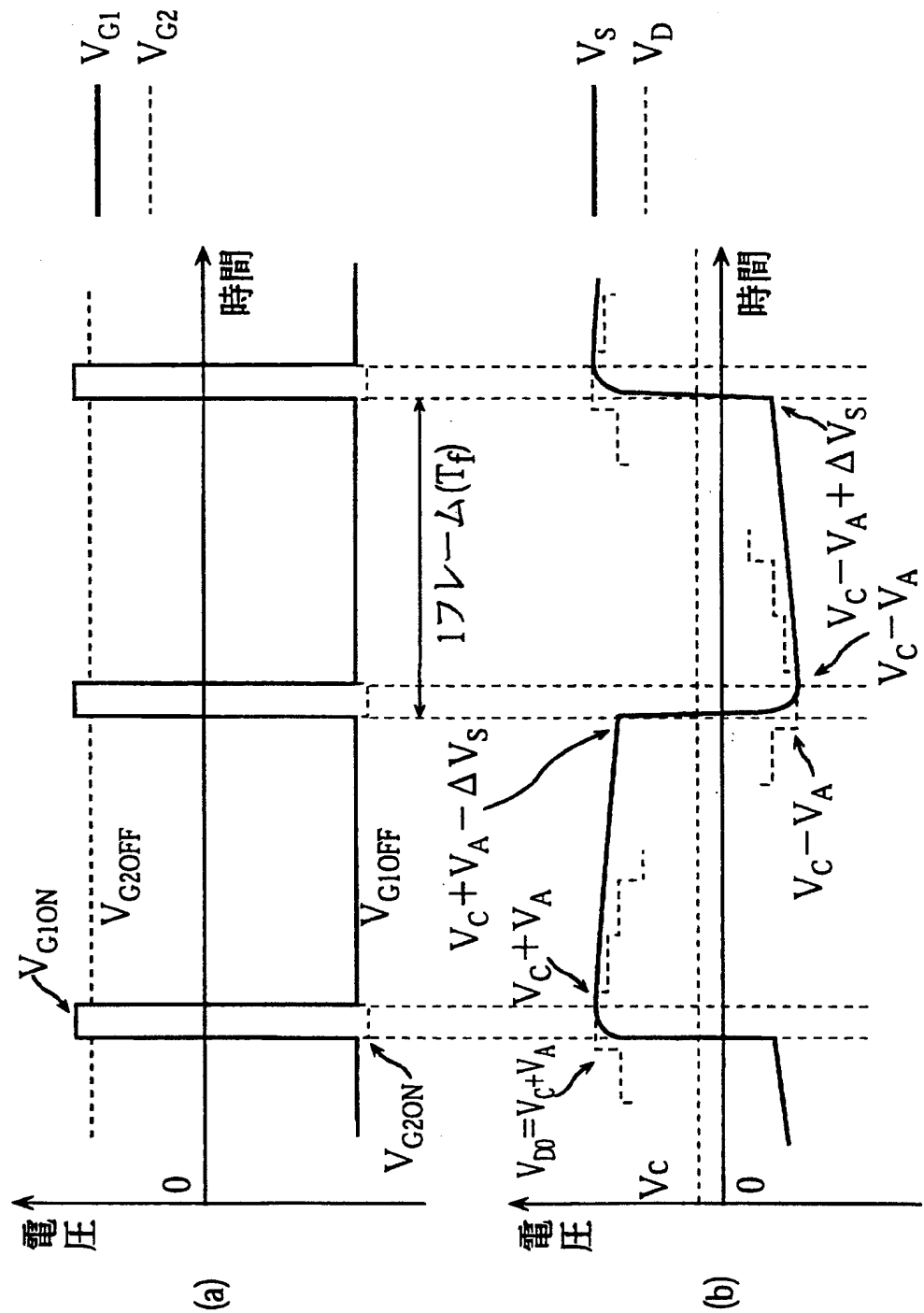


図7

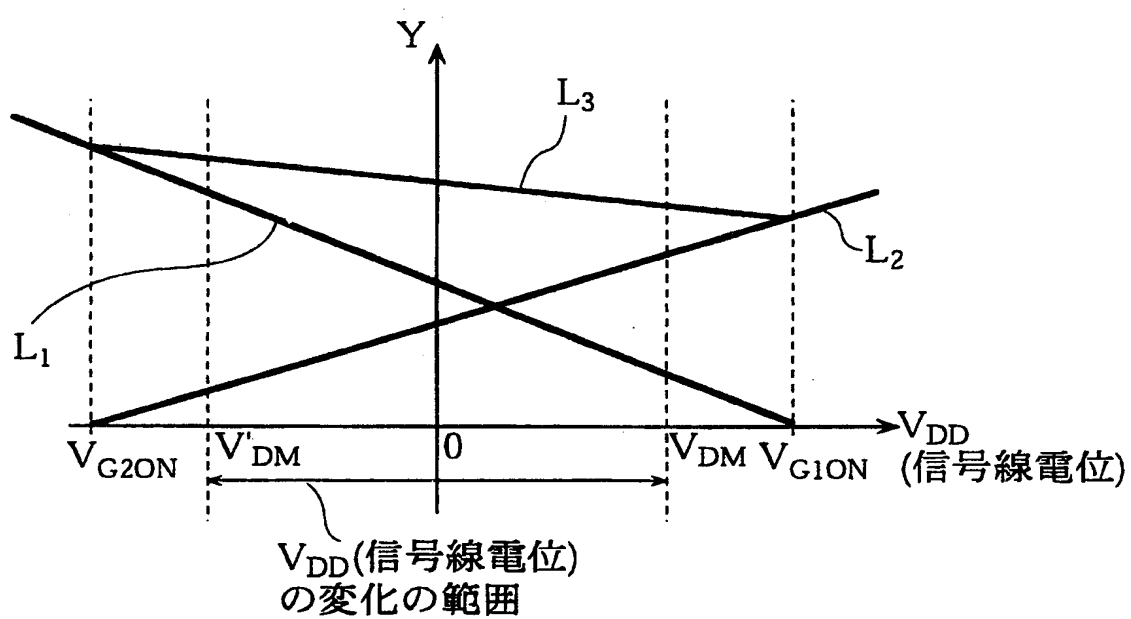


図8

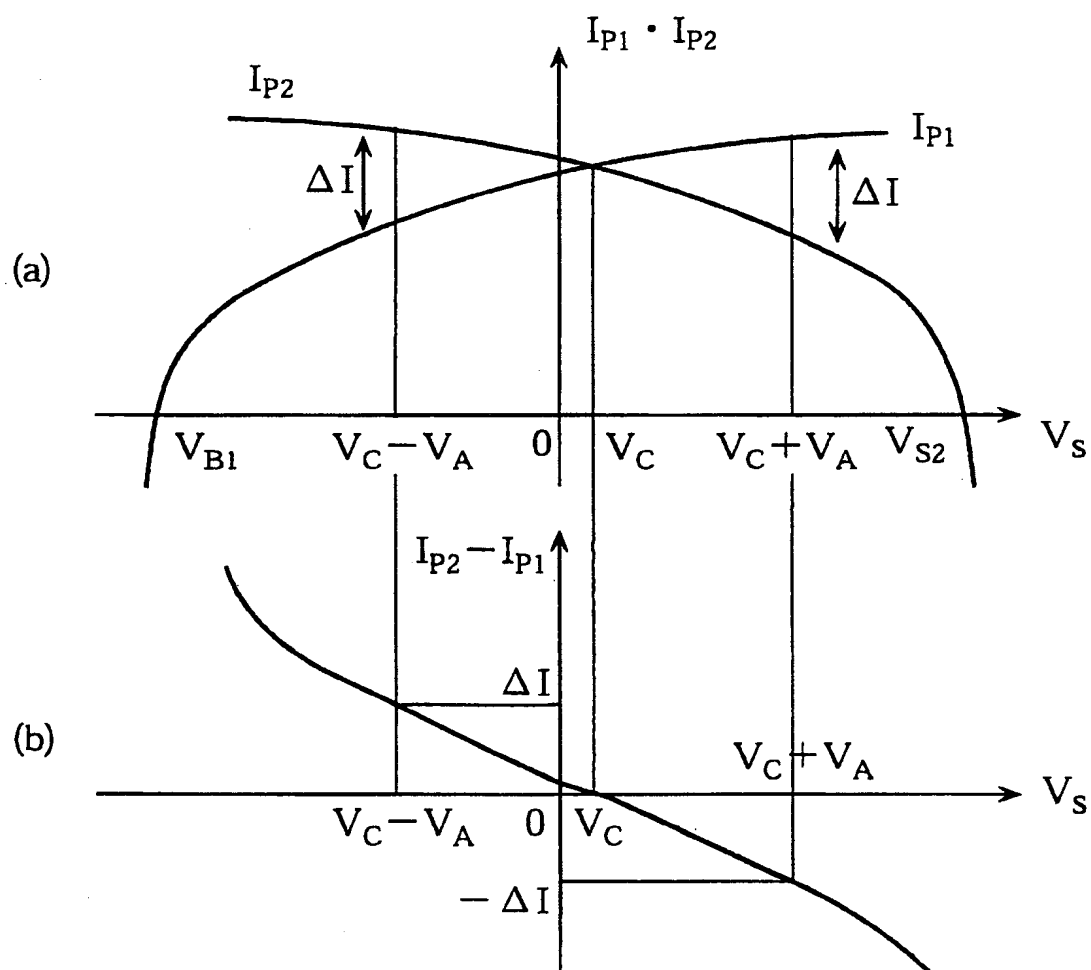


図9

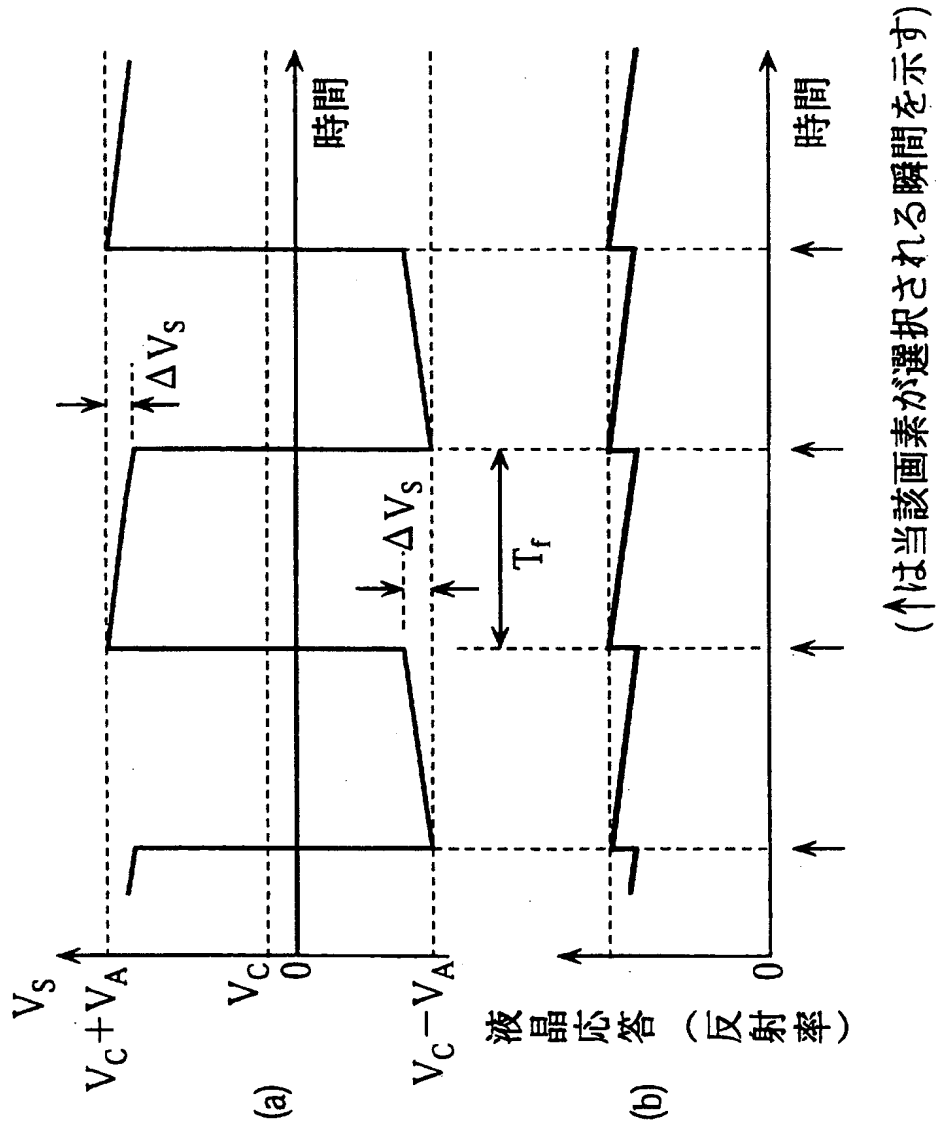
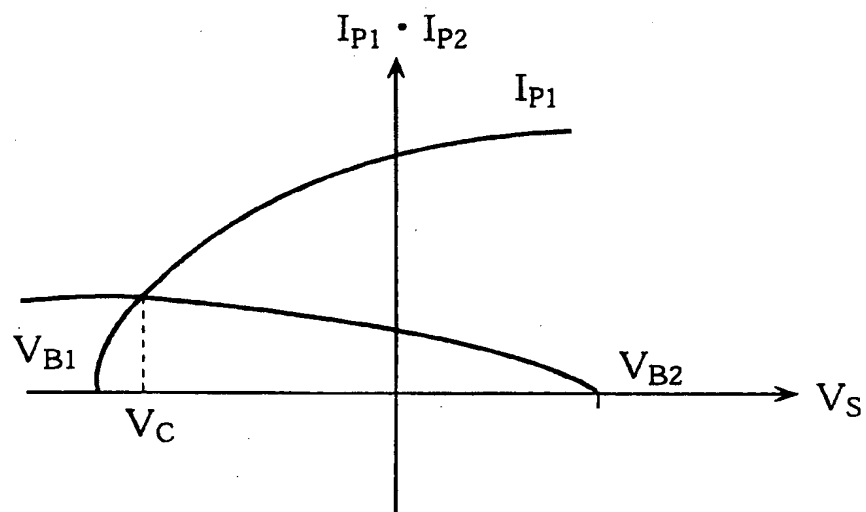


図10

(a)



(b)

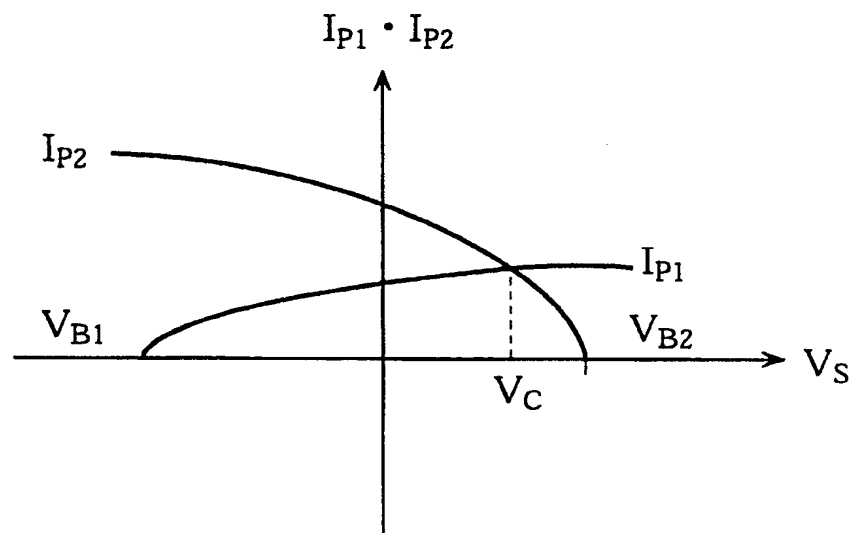


图11

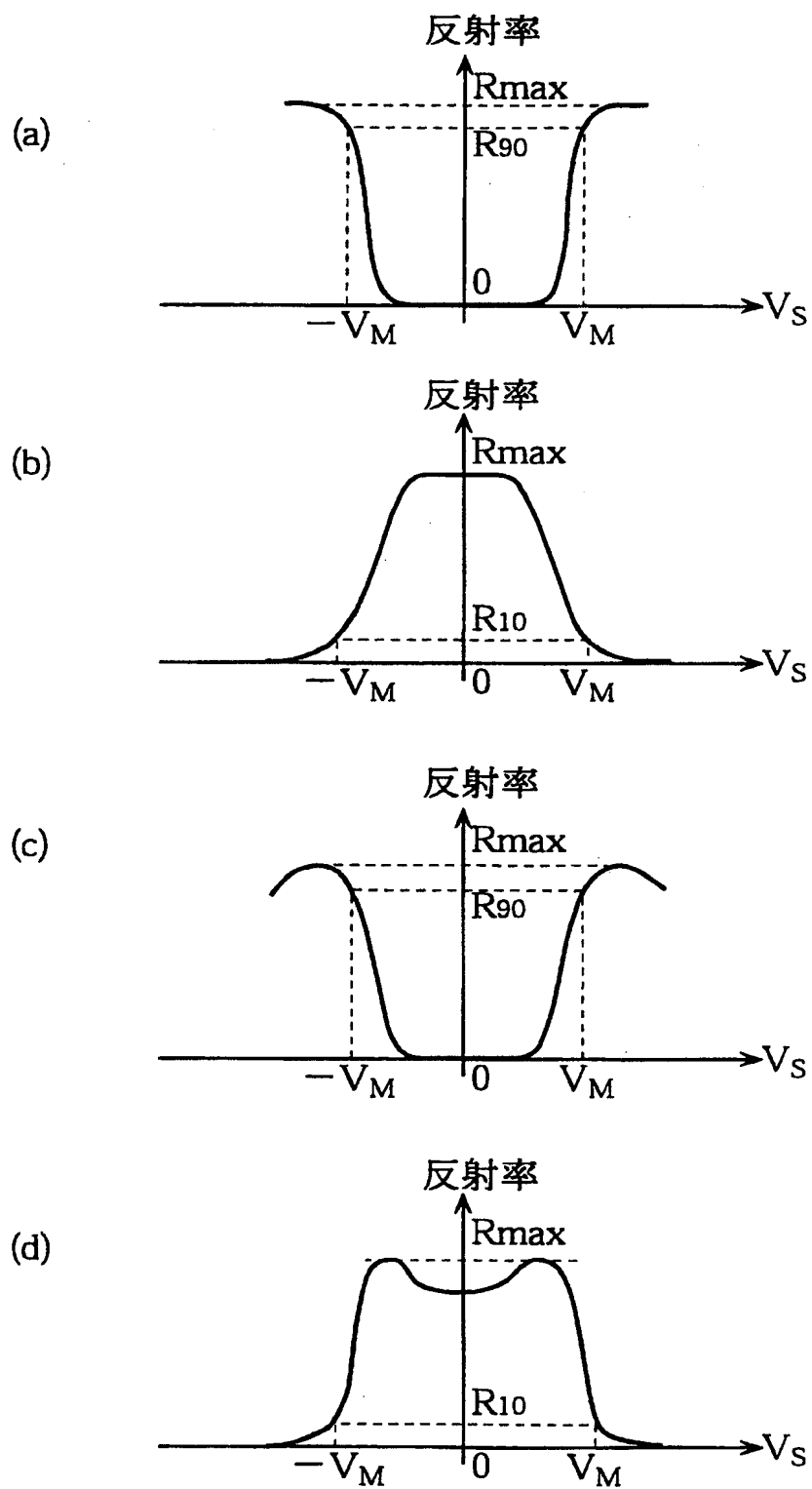


図12

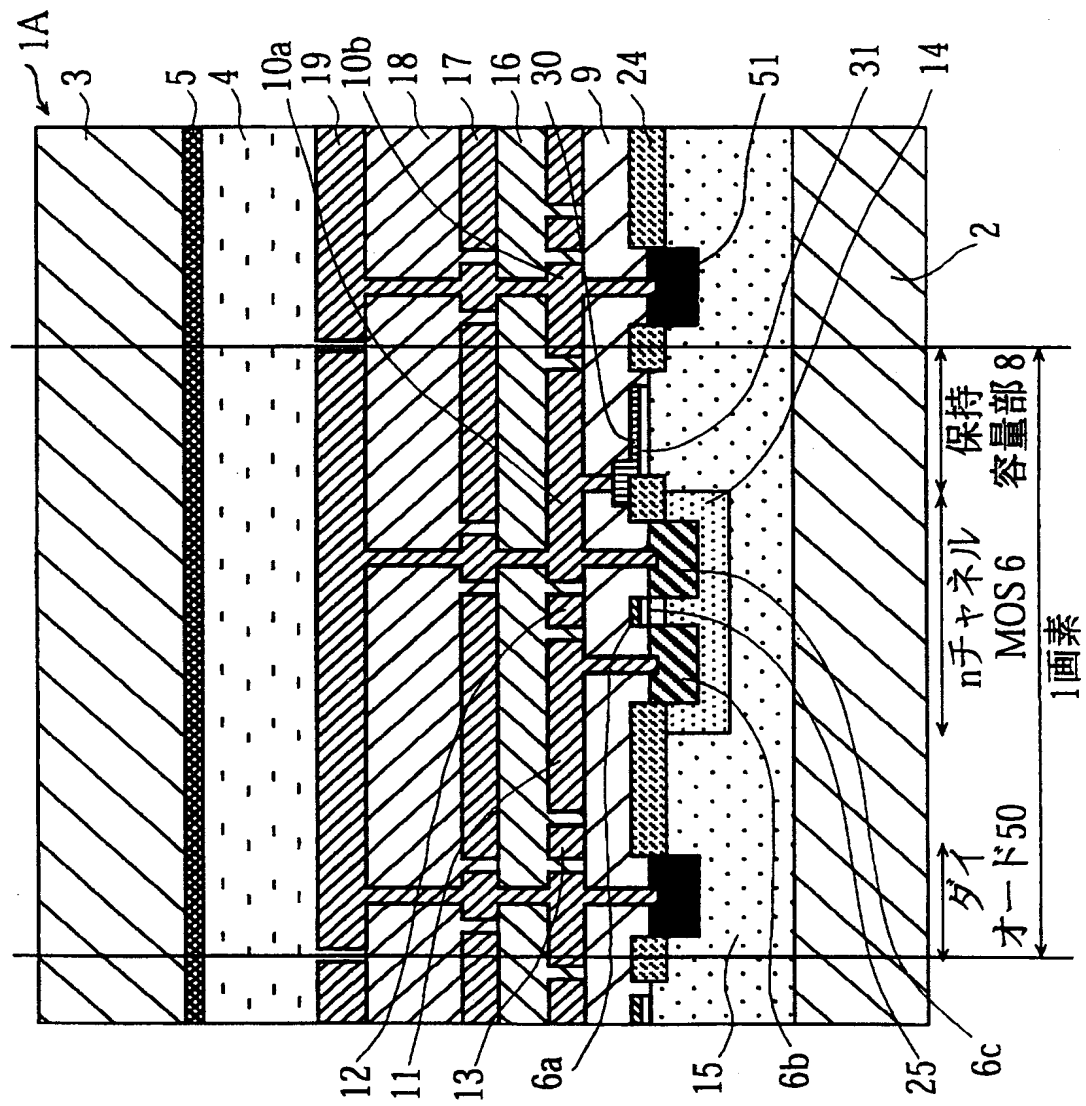


図13

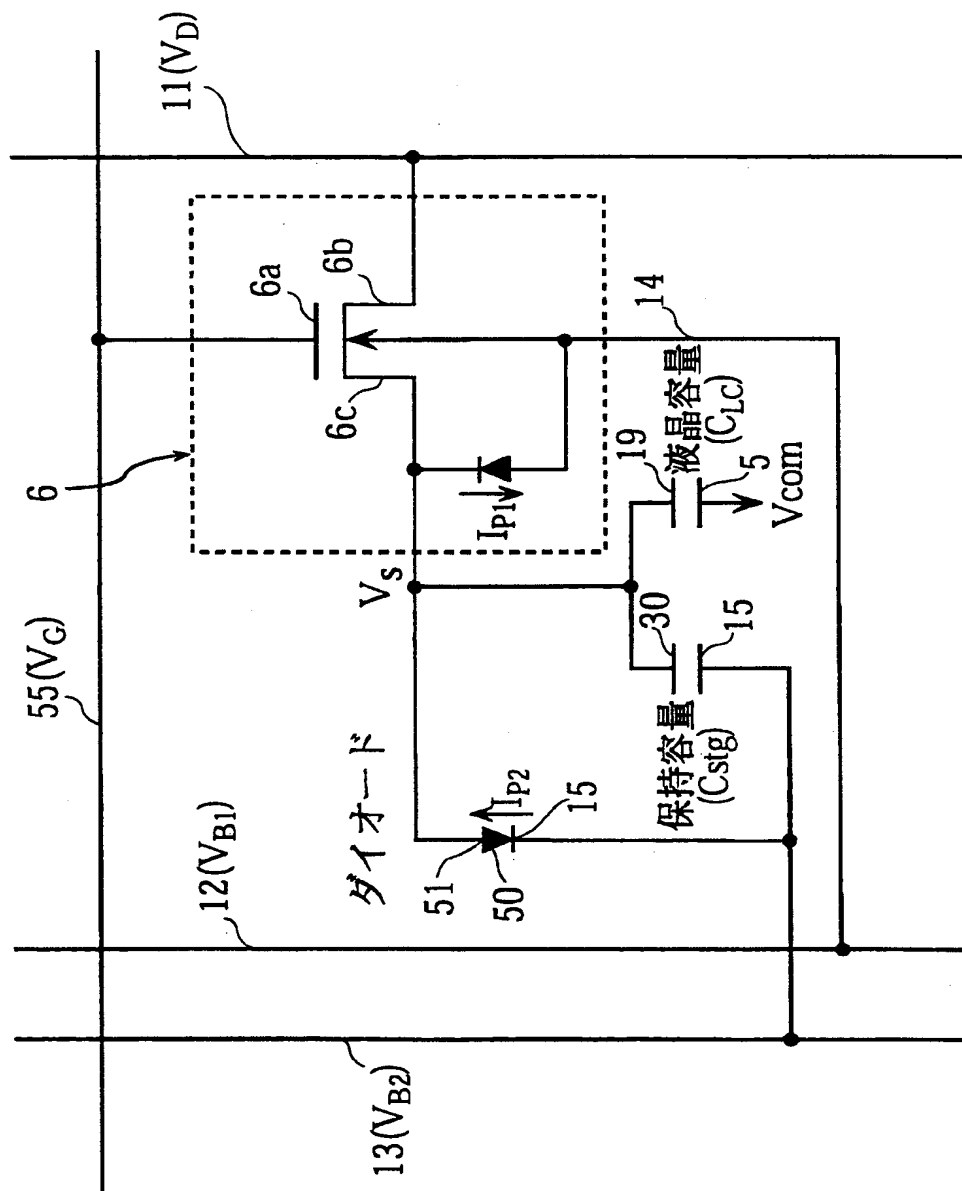


図14

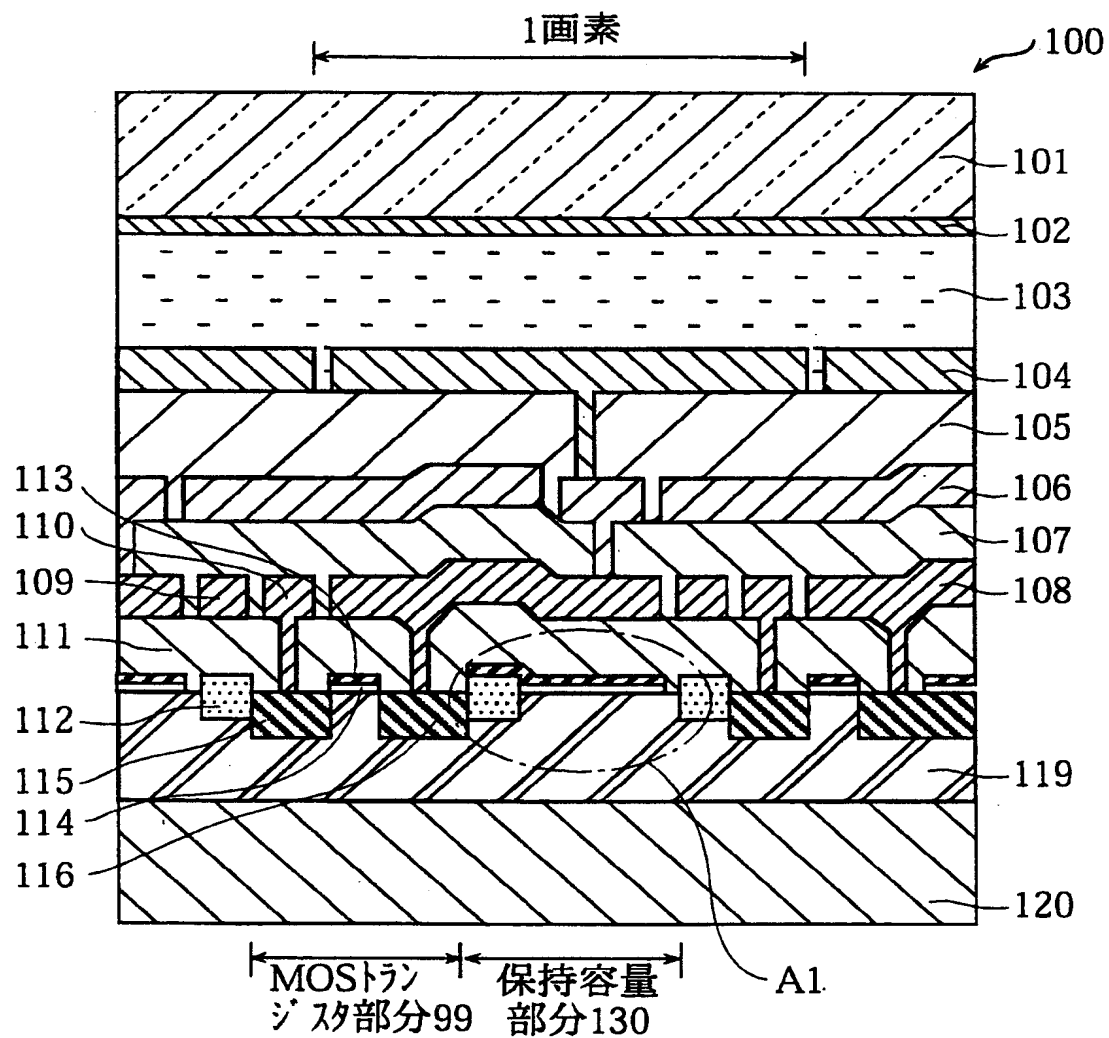


図15

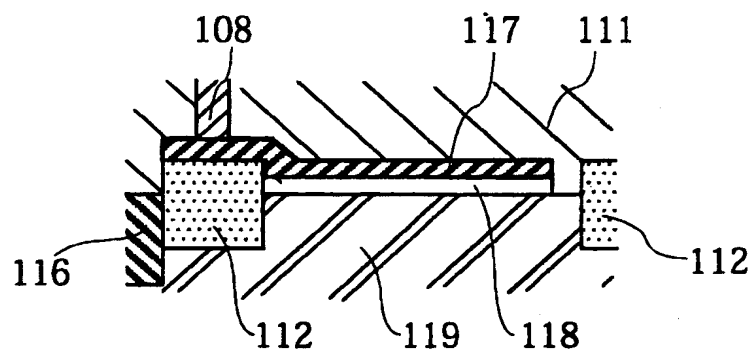


図16

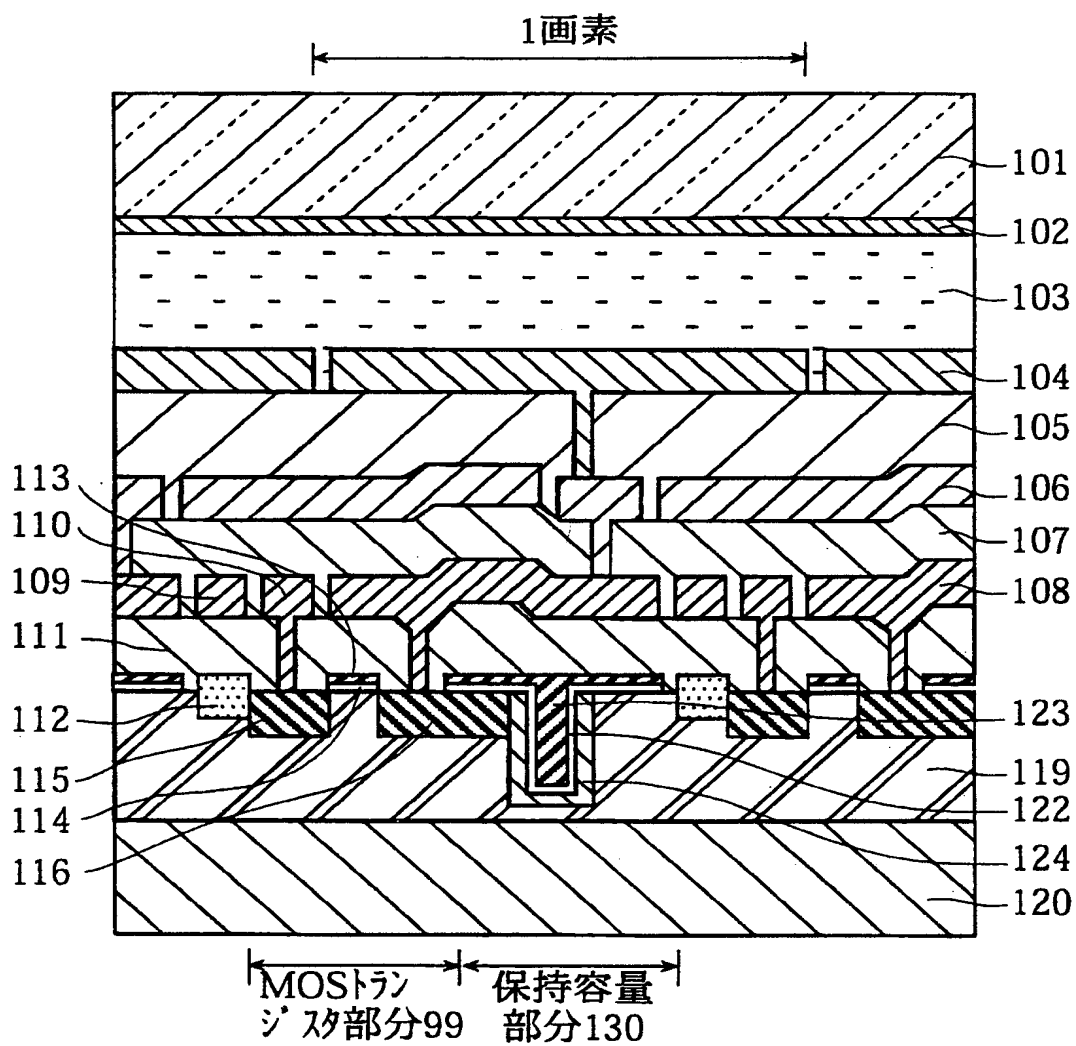


図17

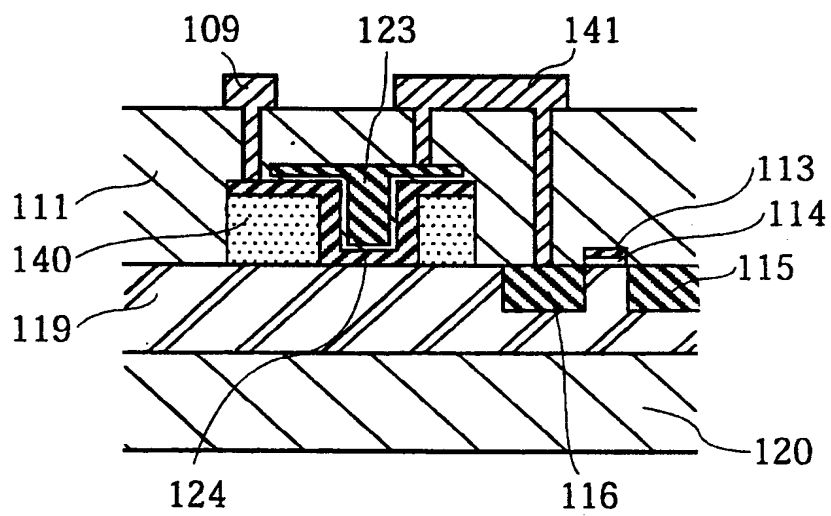


図18

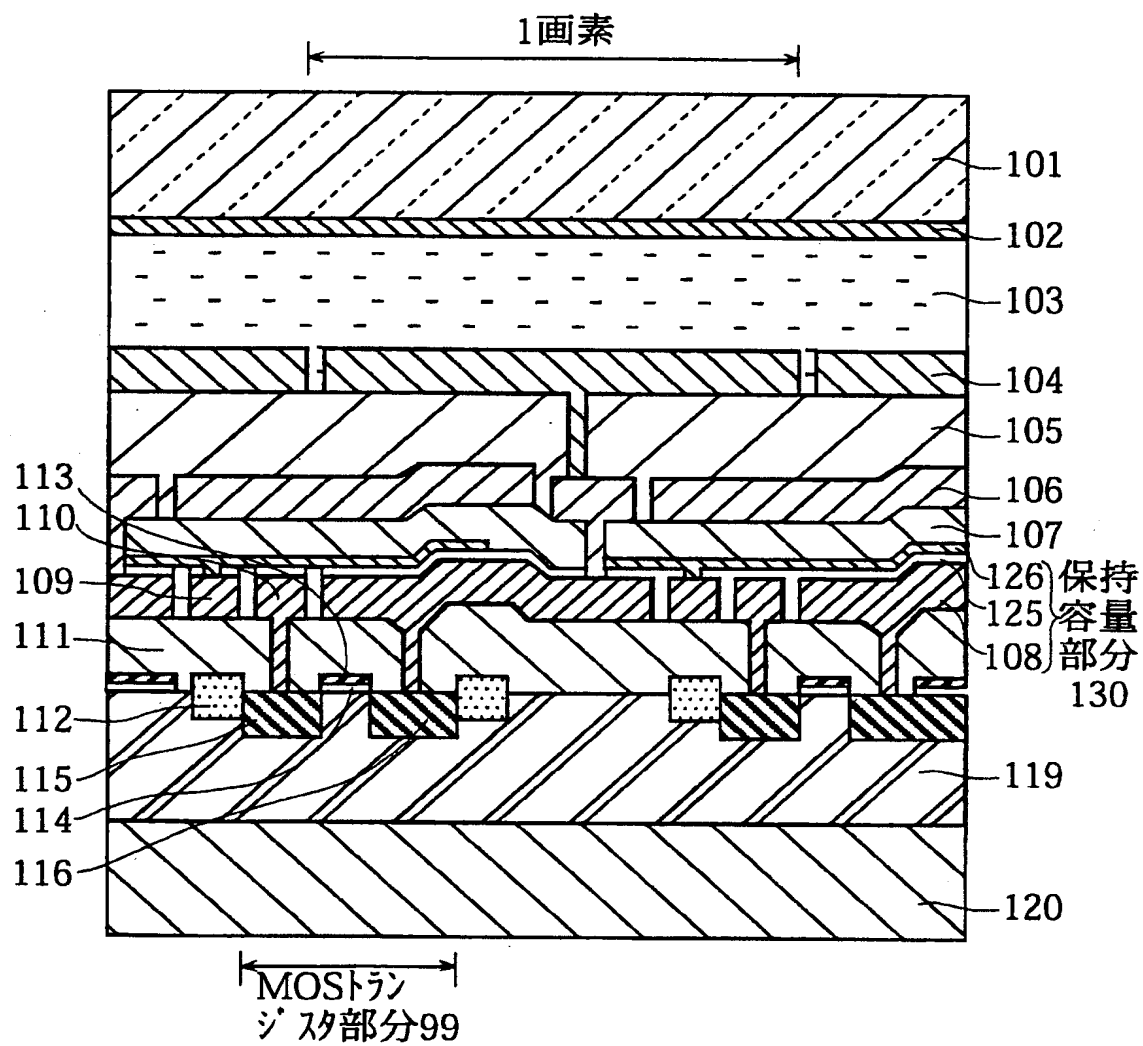


図19

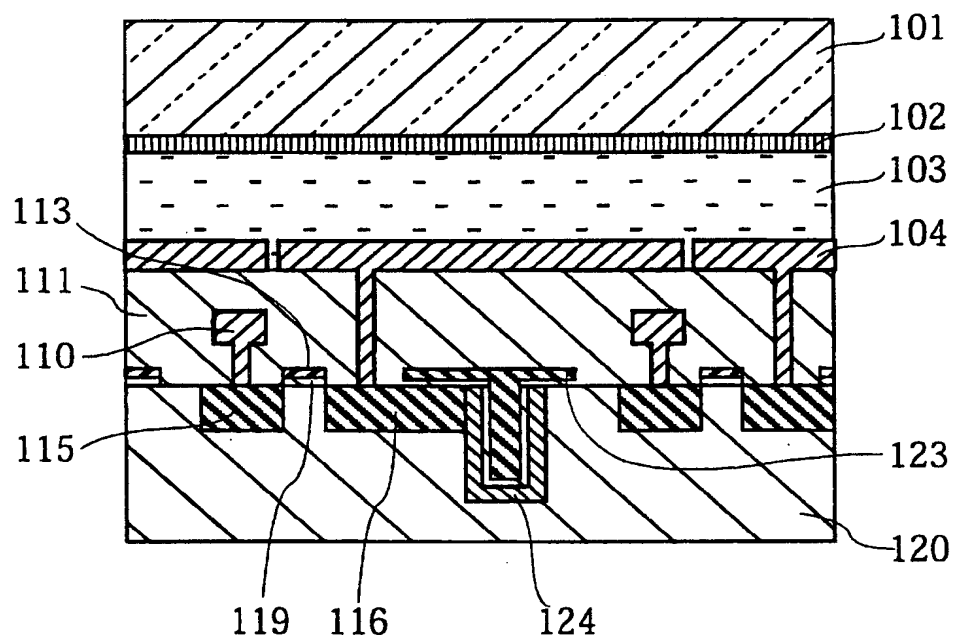


図20

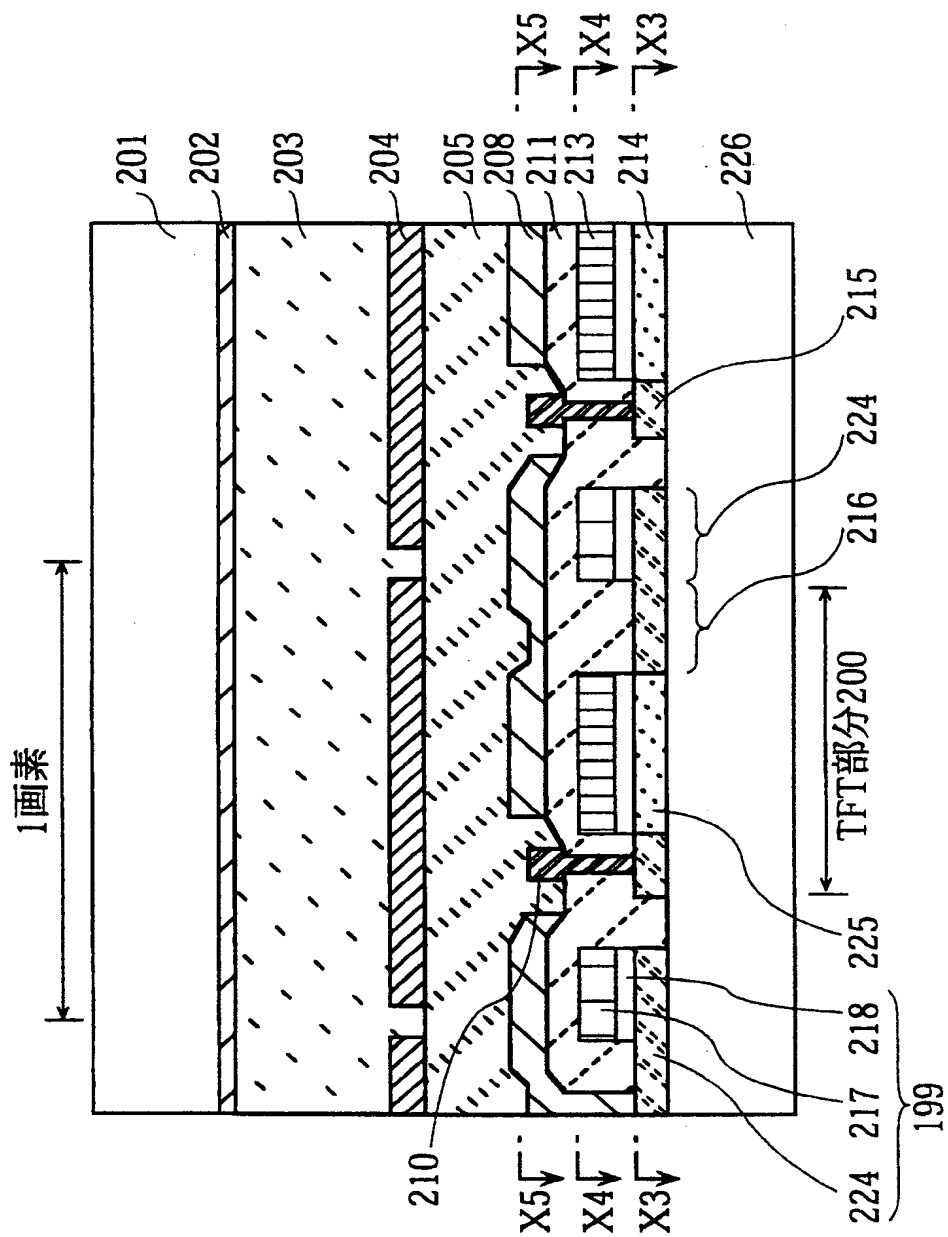


図21

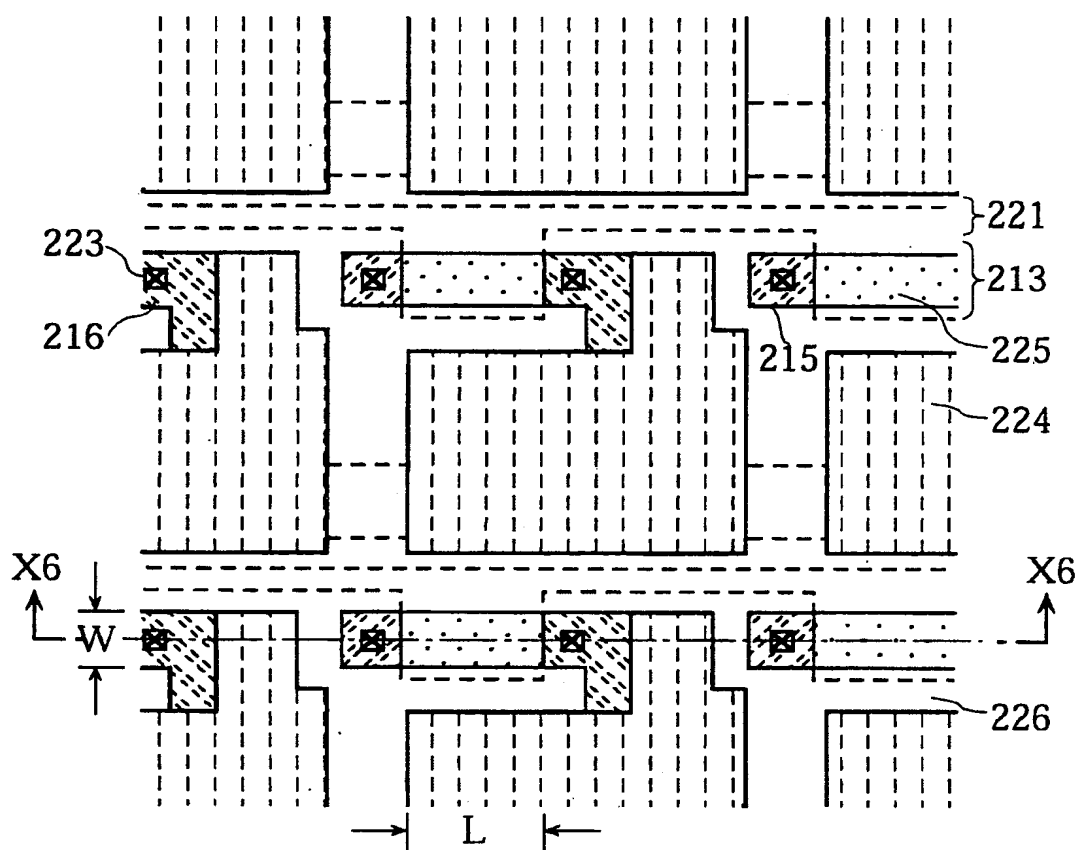
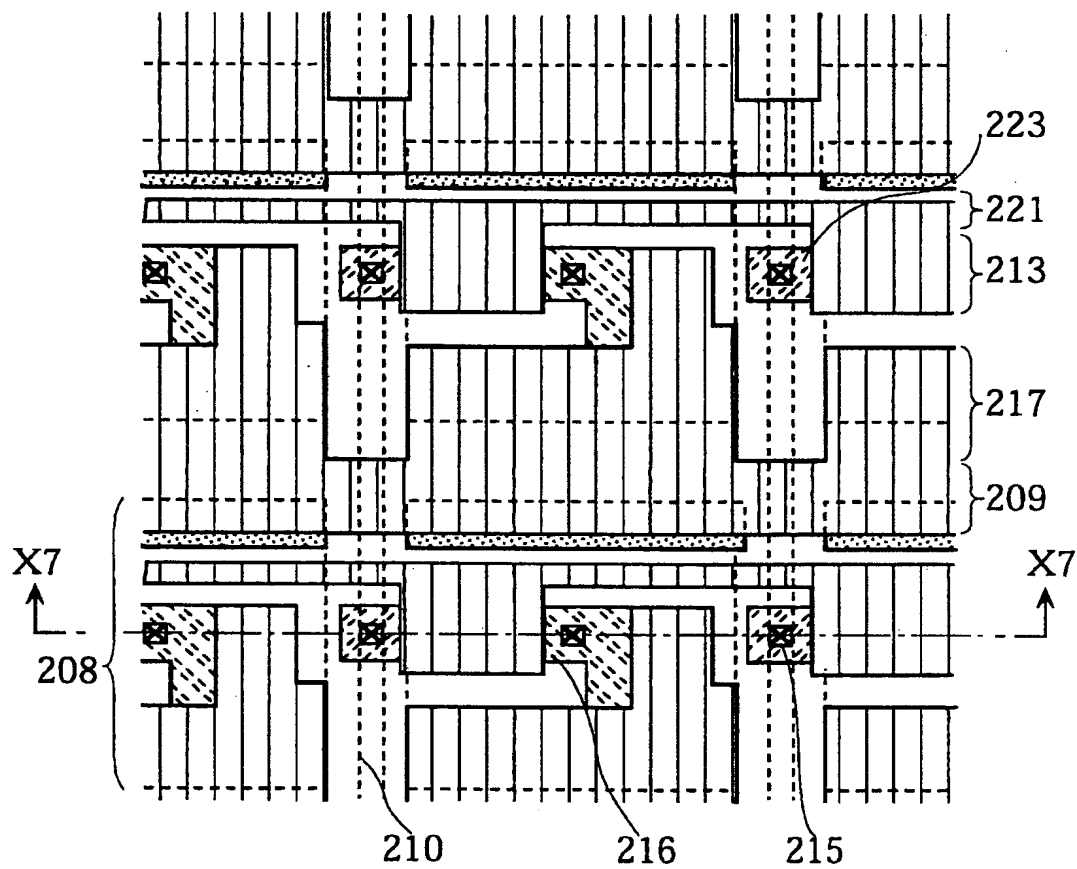


図22



23

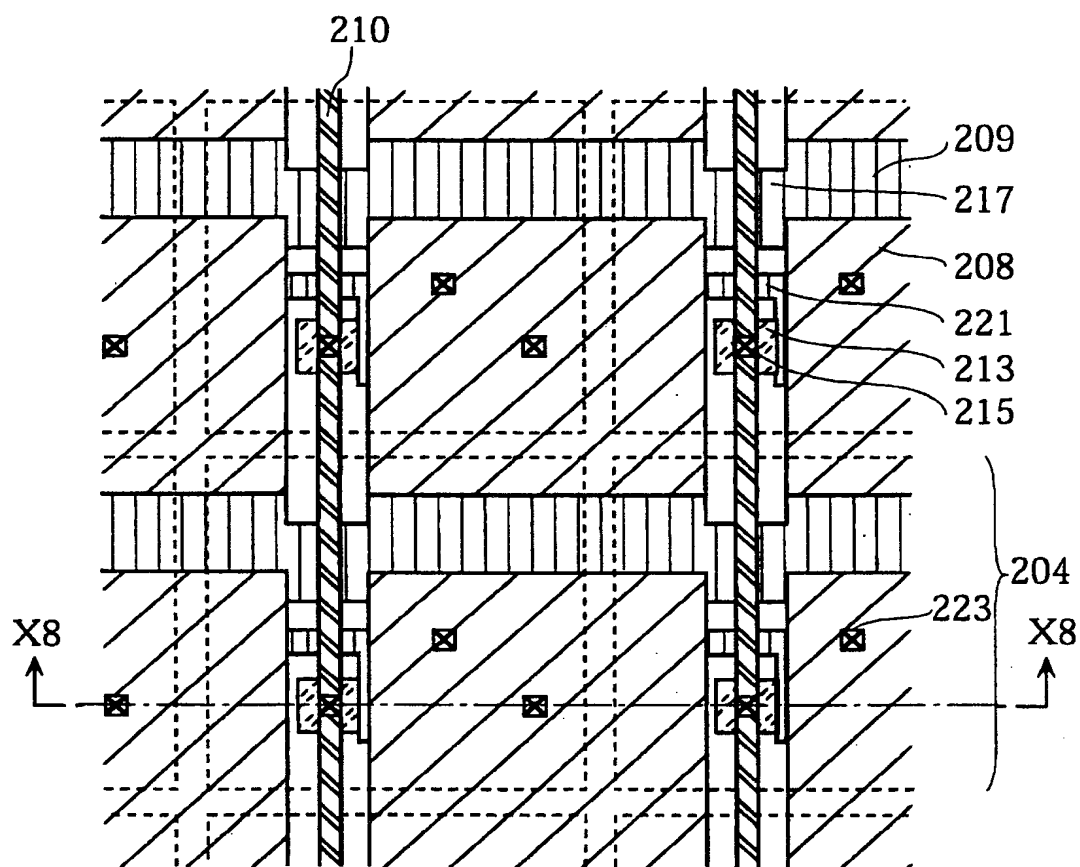


図24

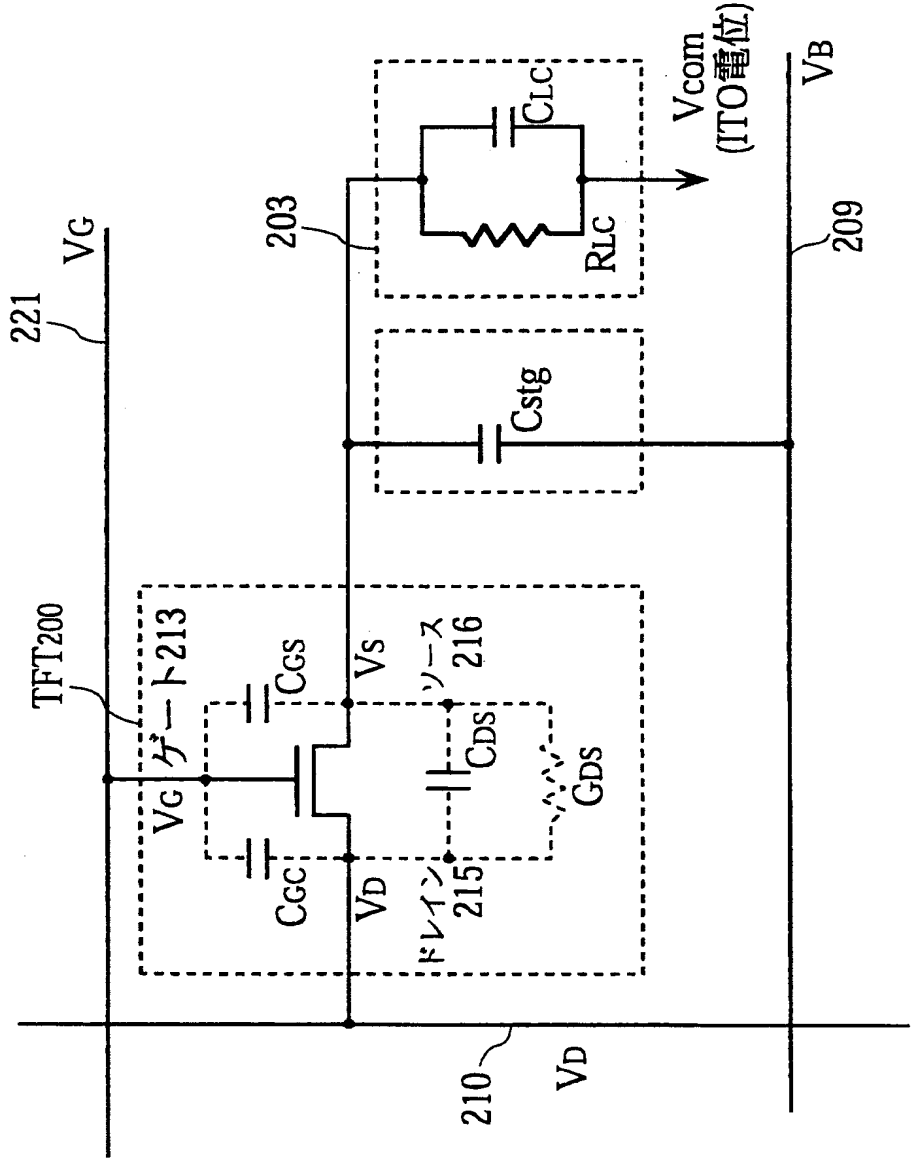


図25

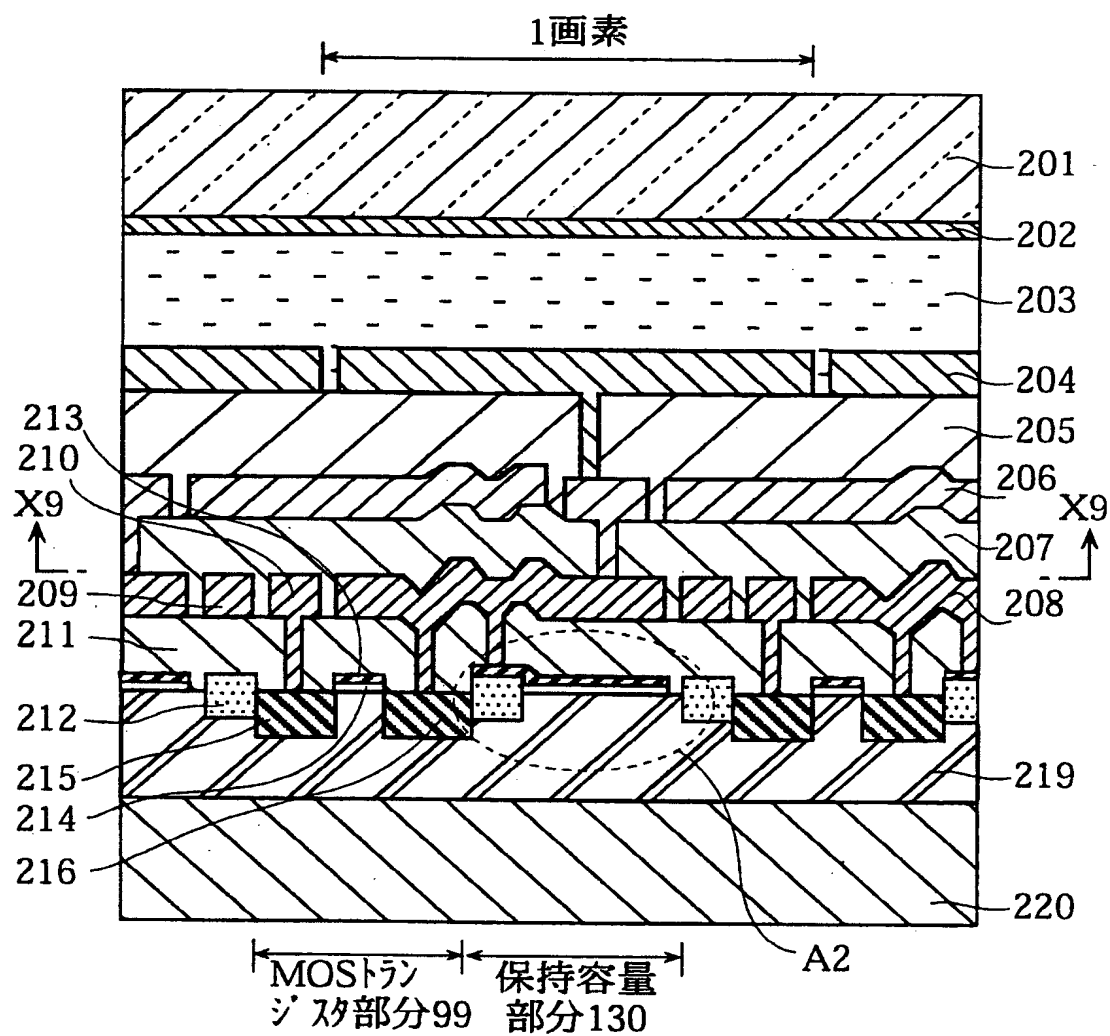


図26

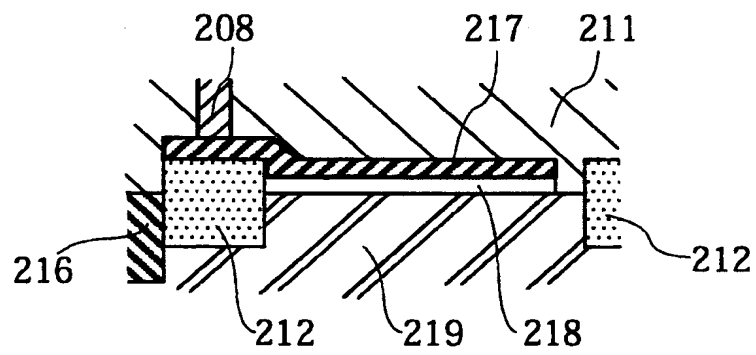


図27

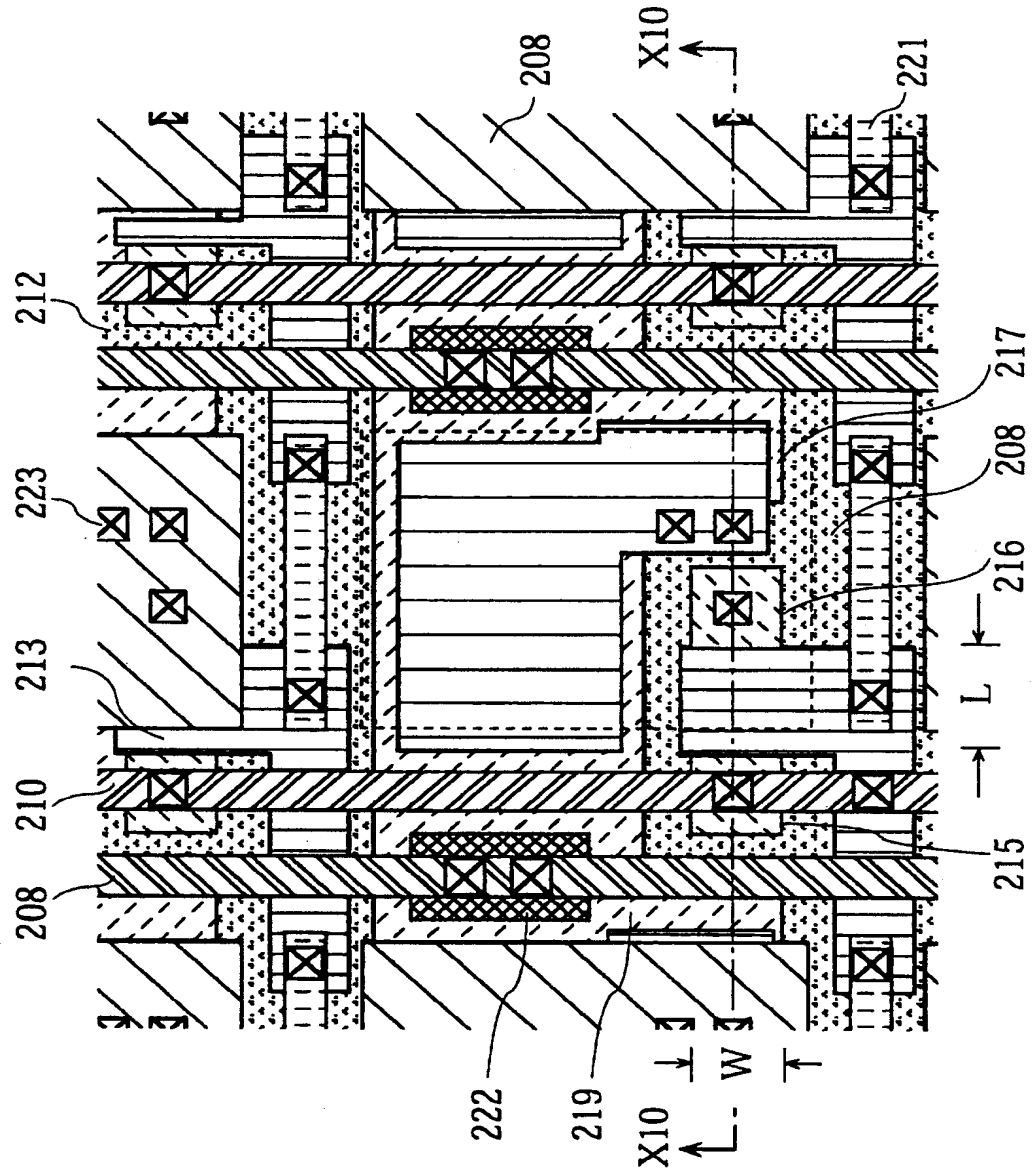


図28

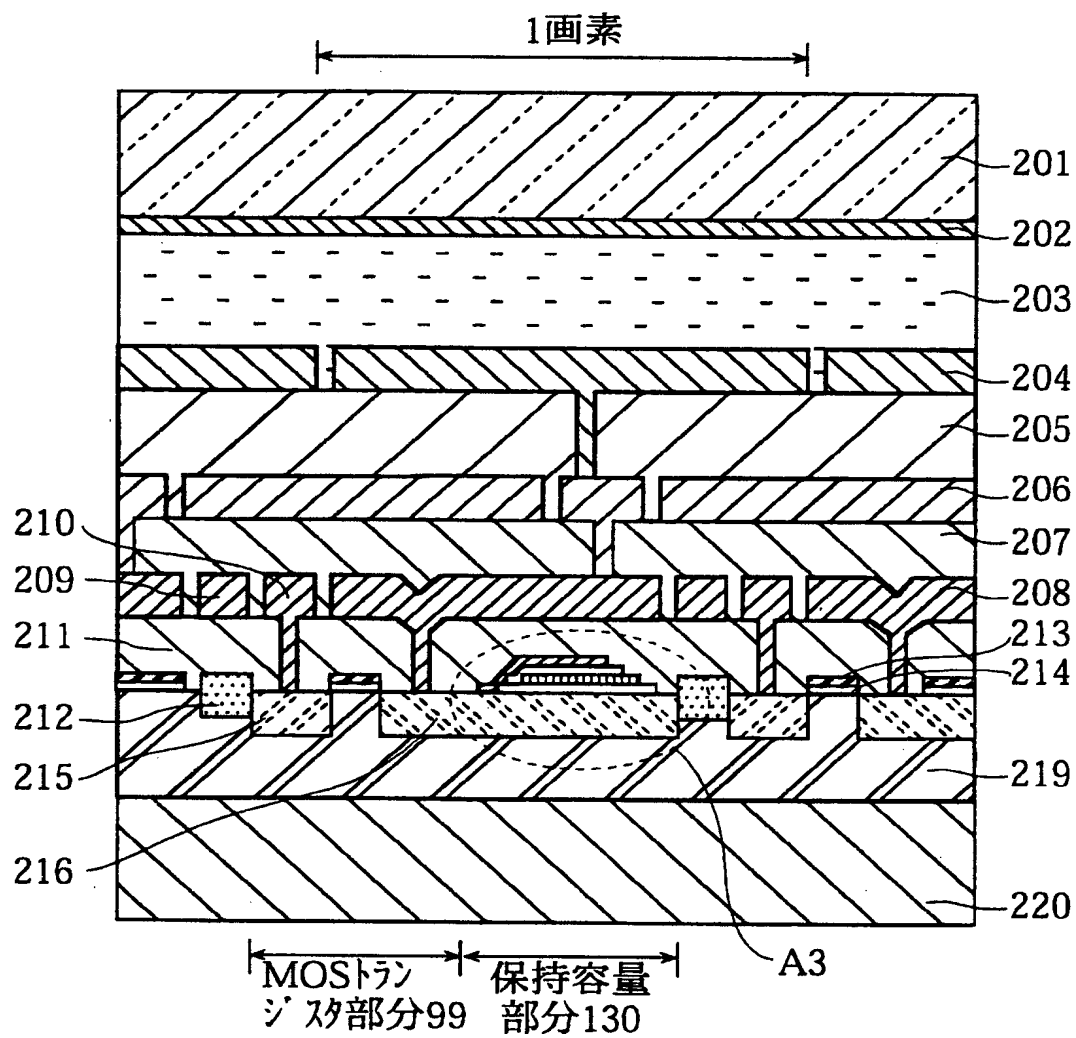


図29

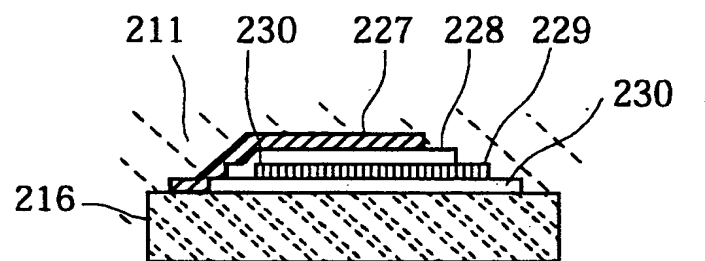


図30

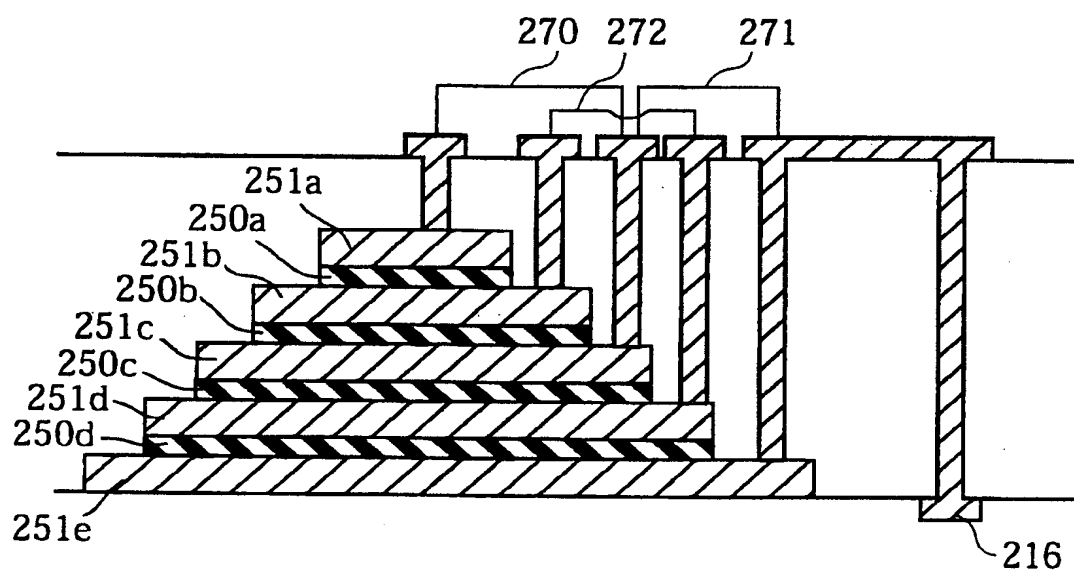


図31

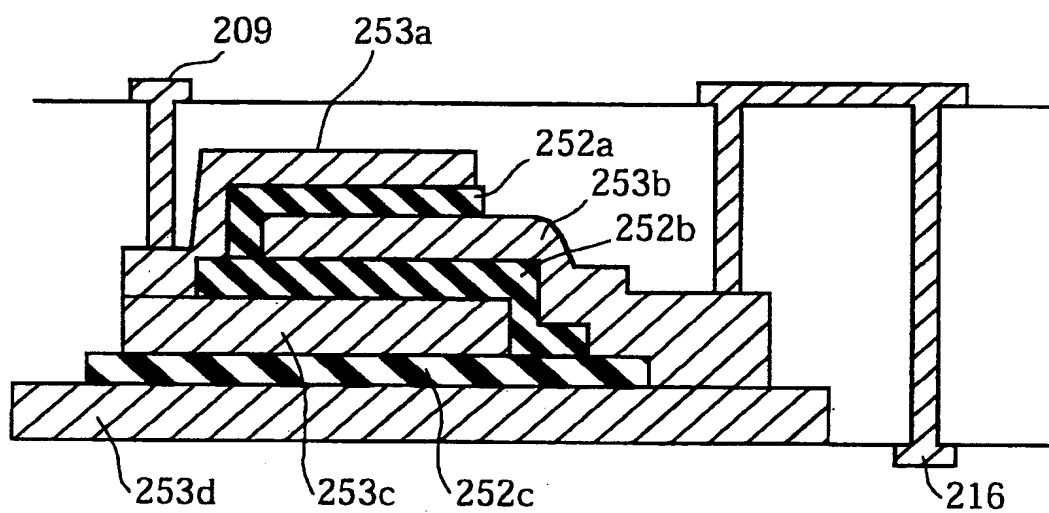


図32

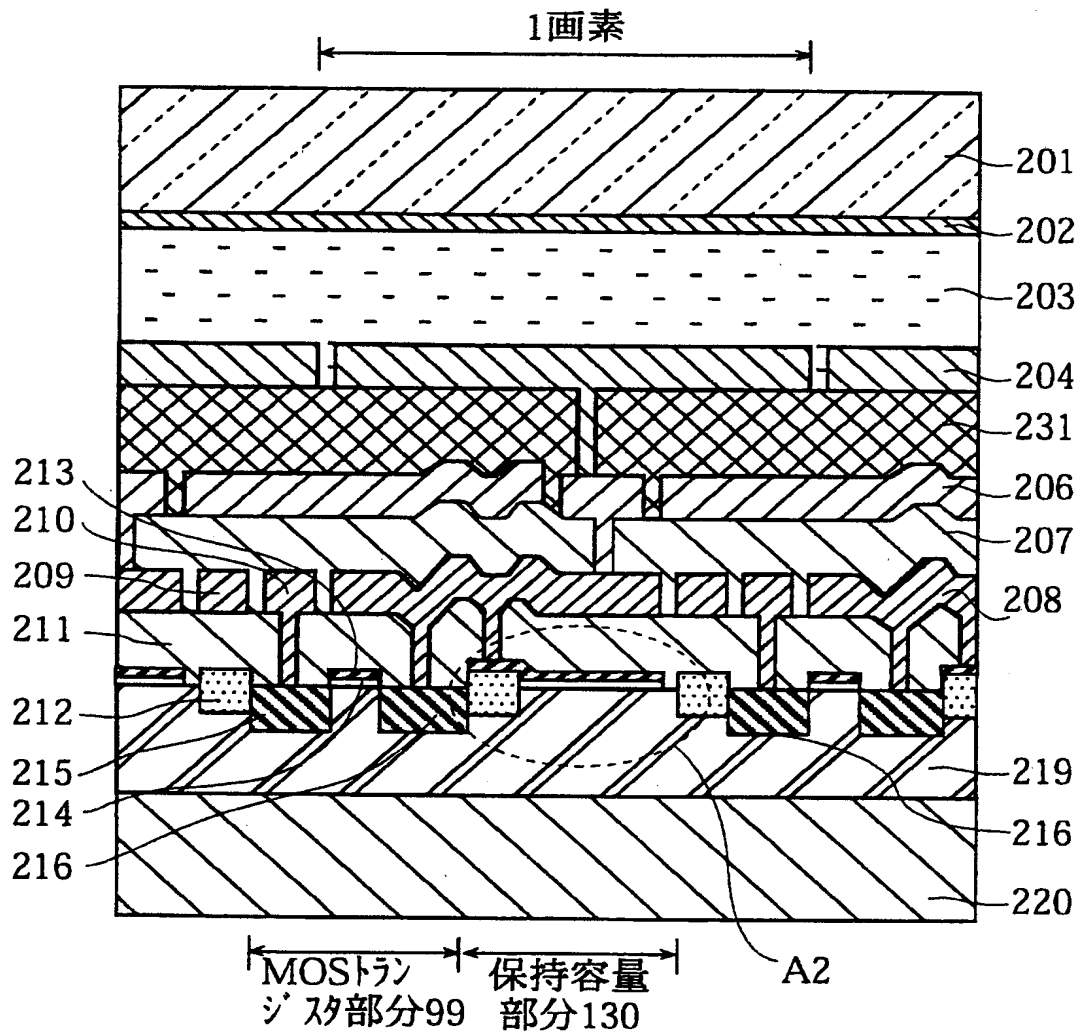


図33

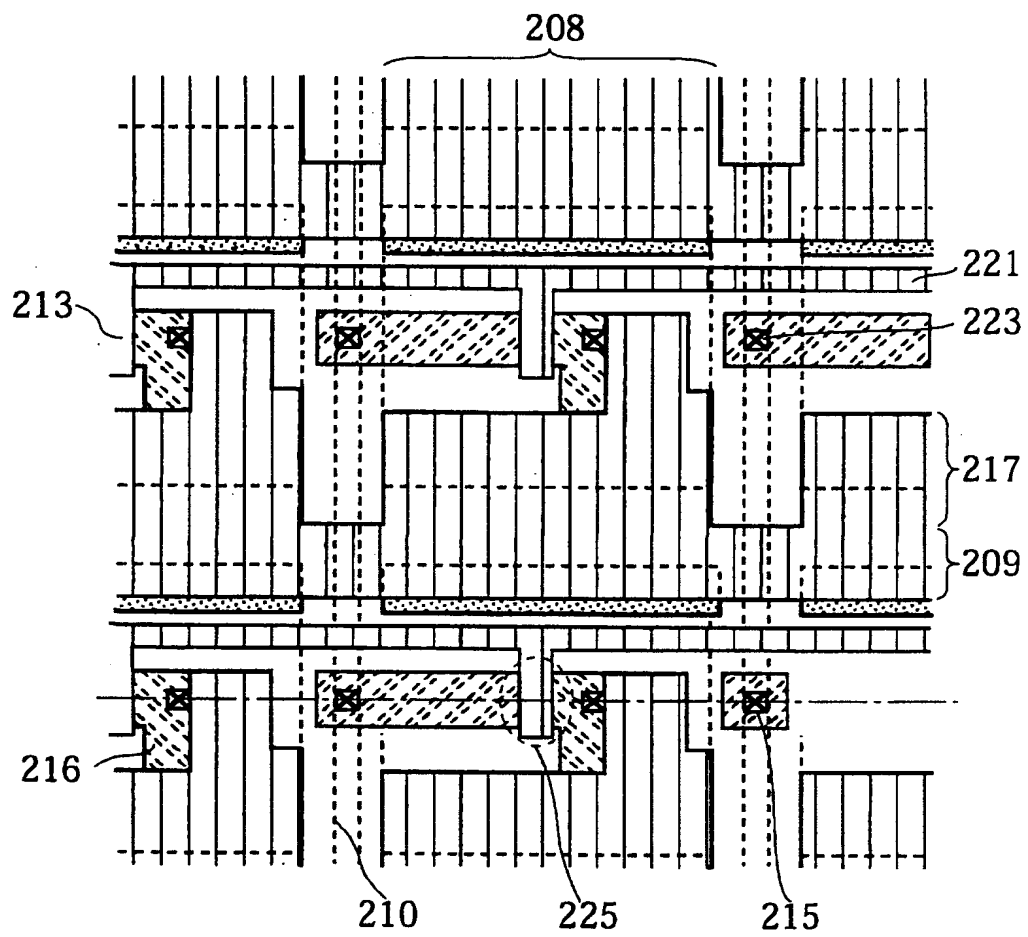


図34

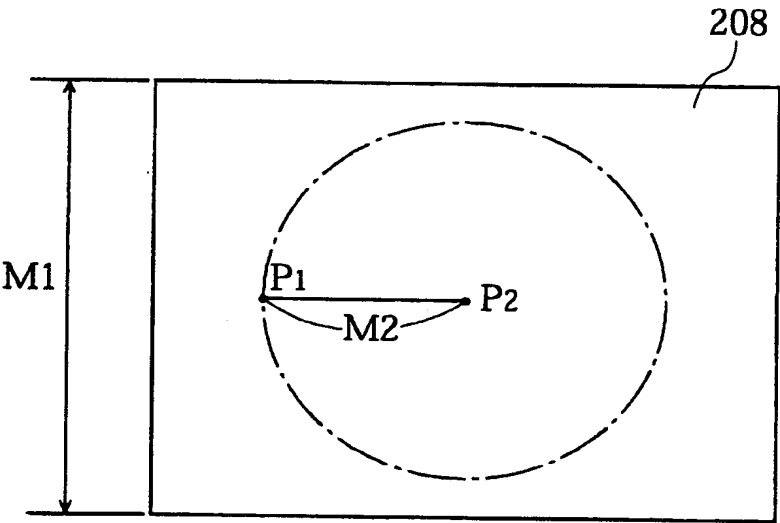


図35

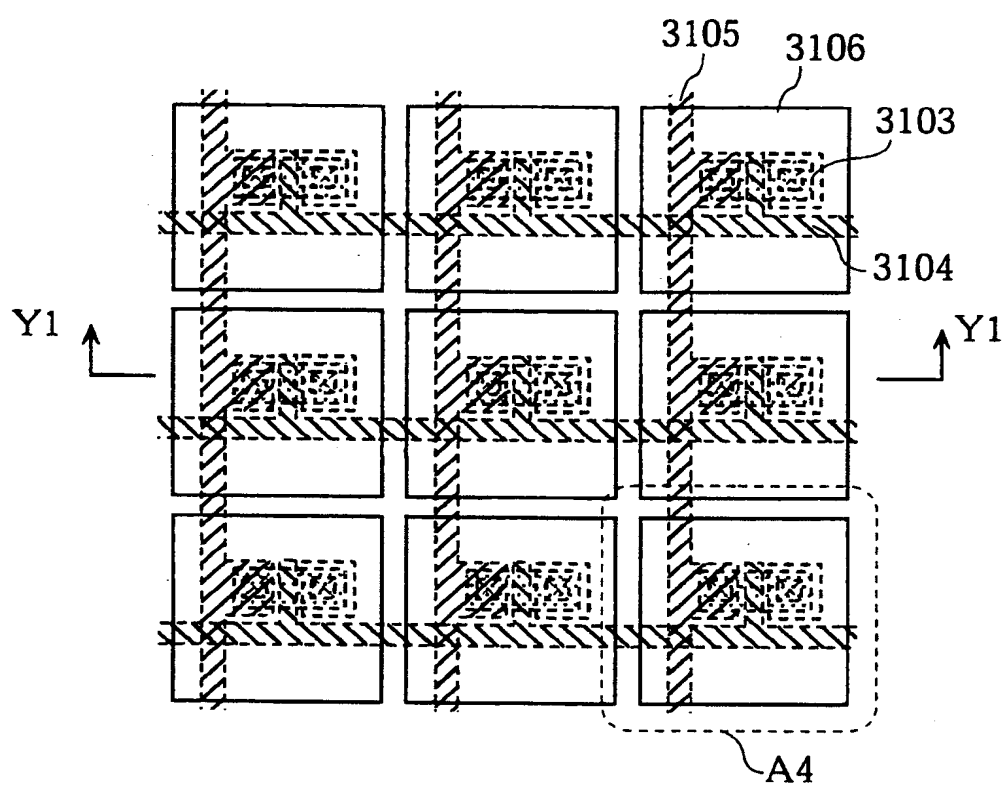


図36

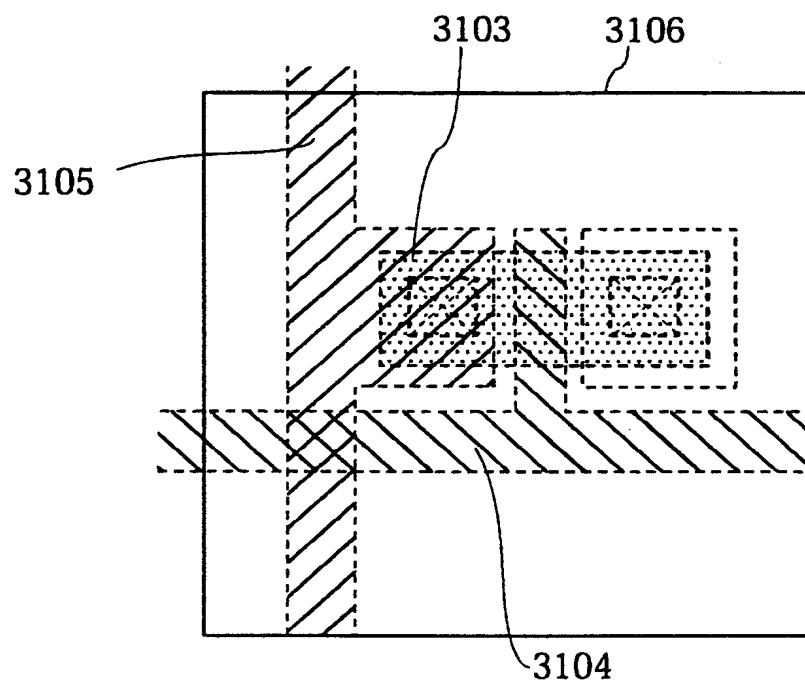


図38

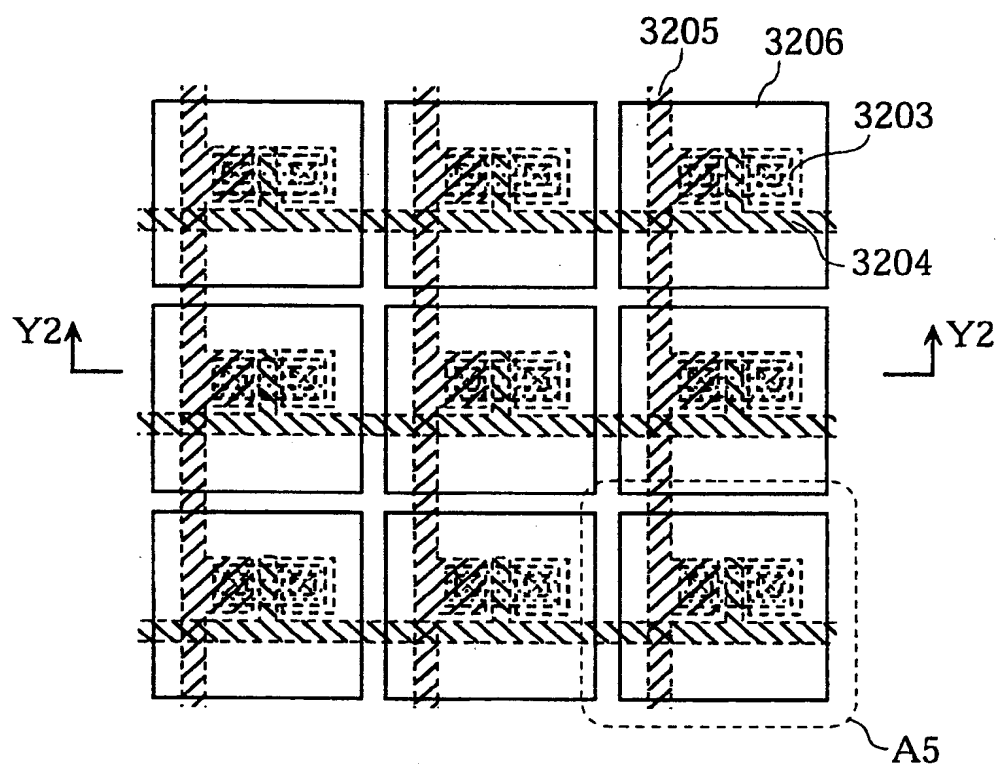


図39

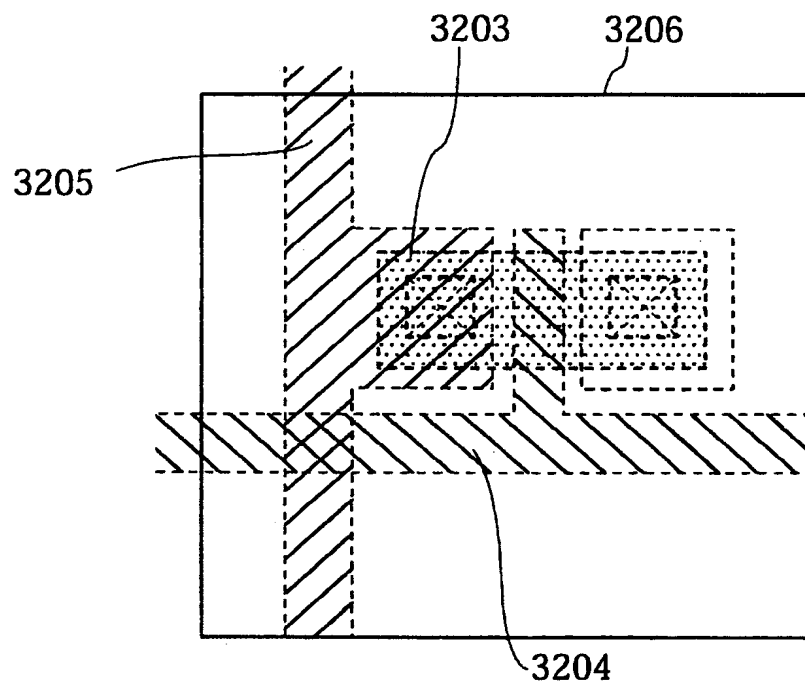


図40

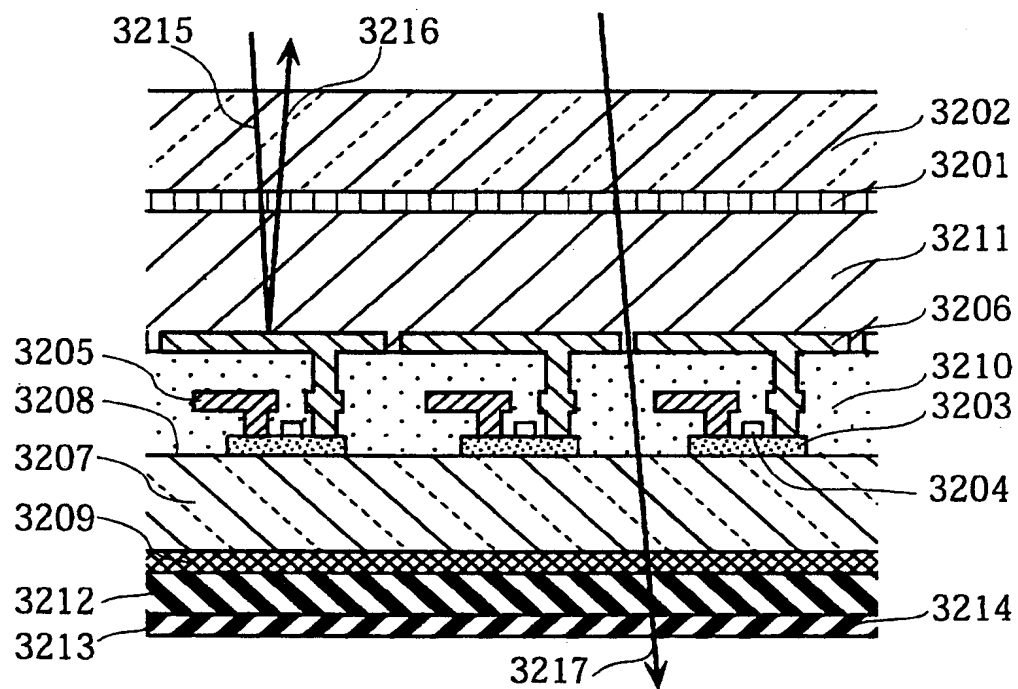


図41

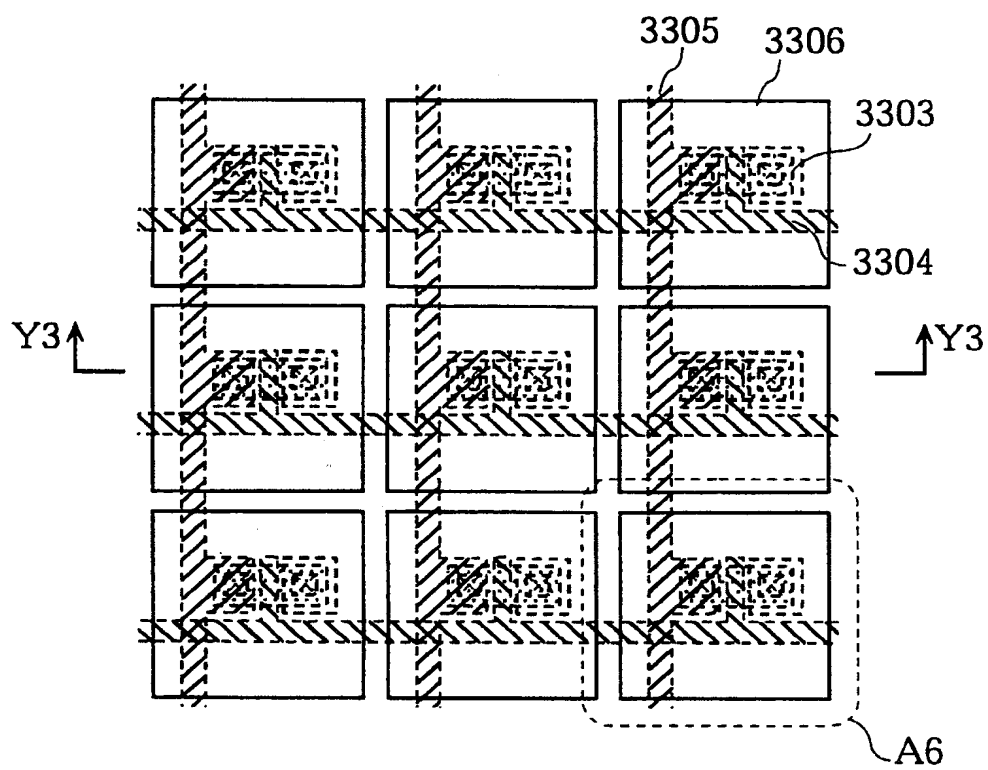


図42

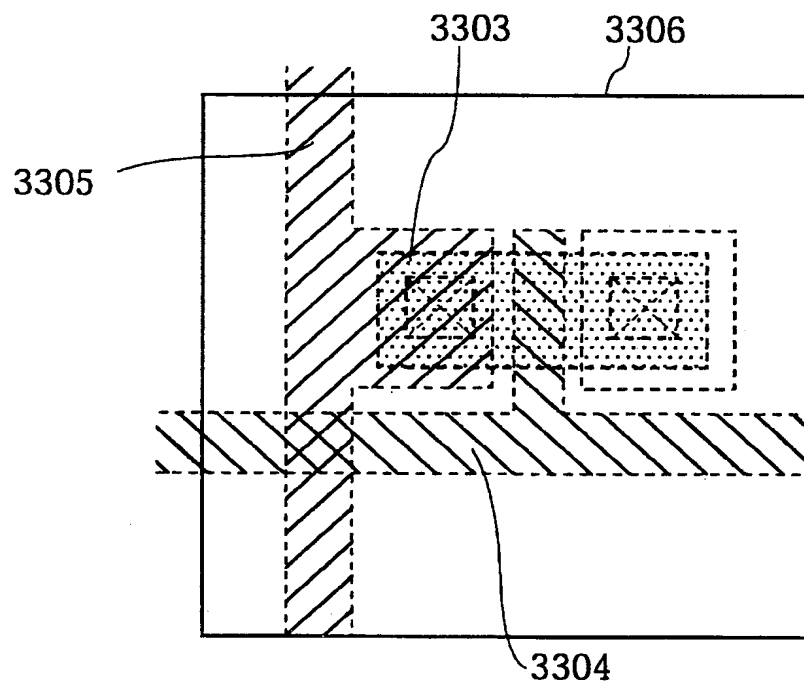


図43

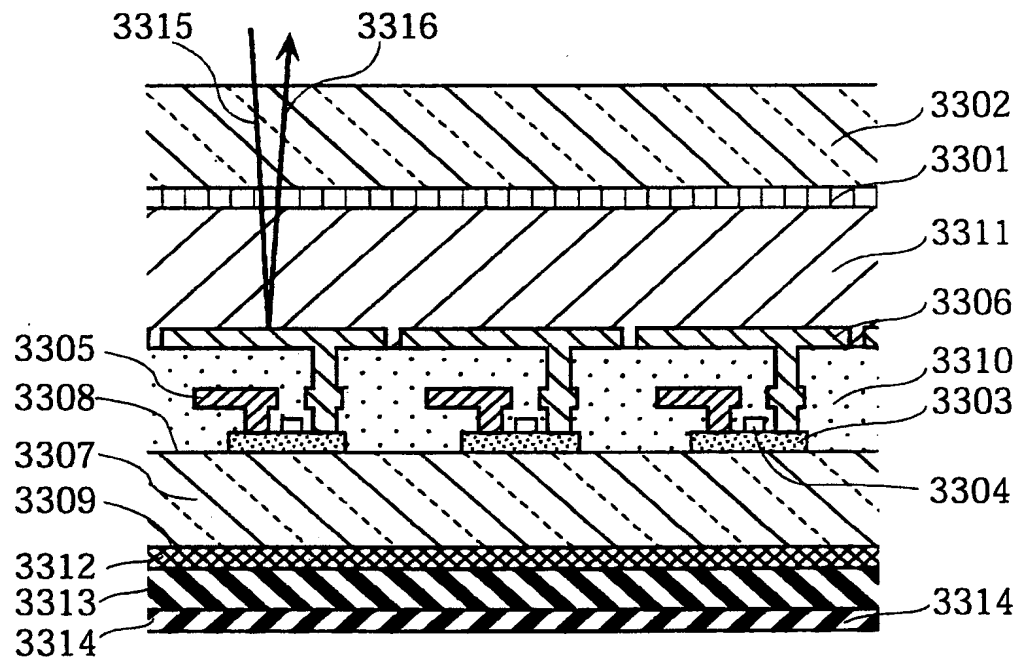


図44

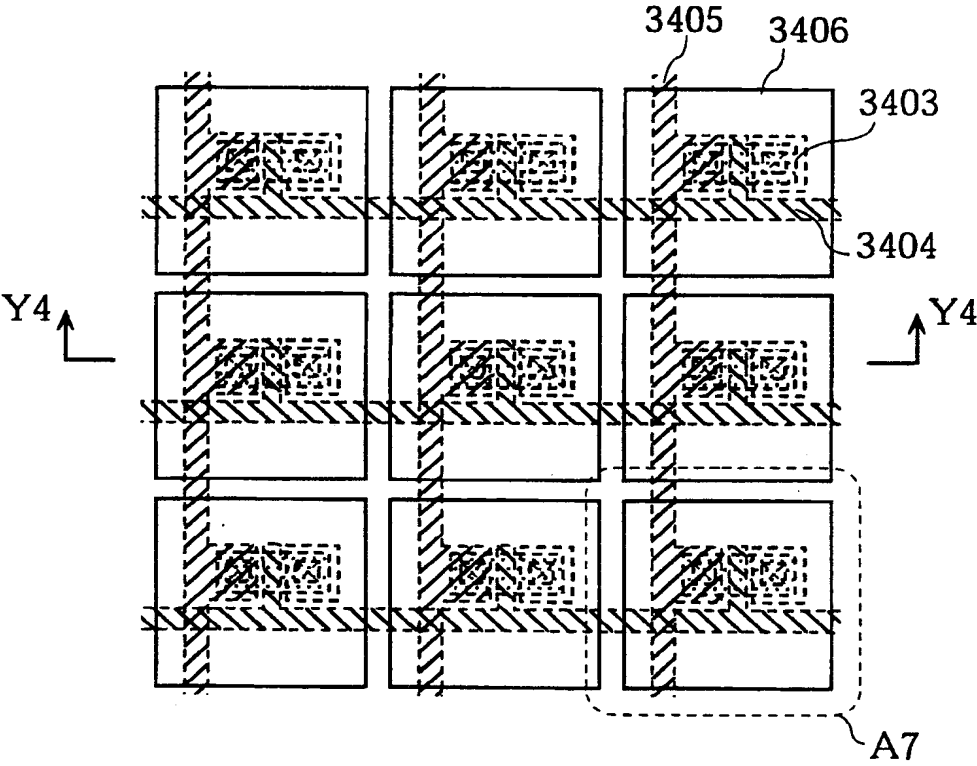


図45

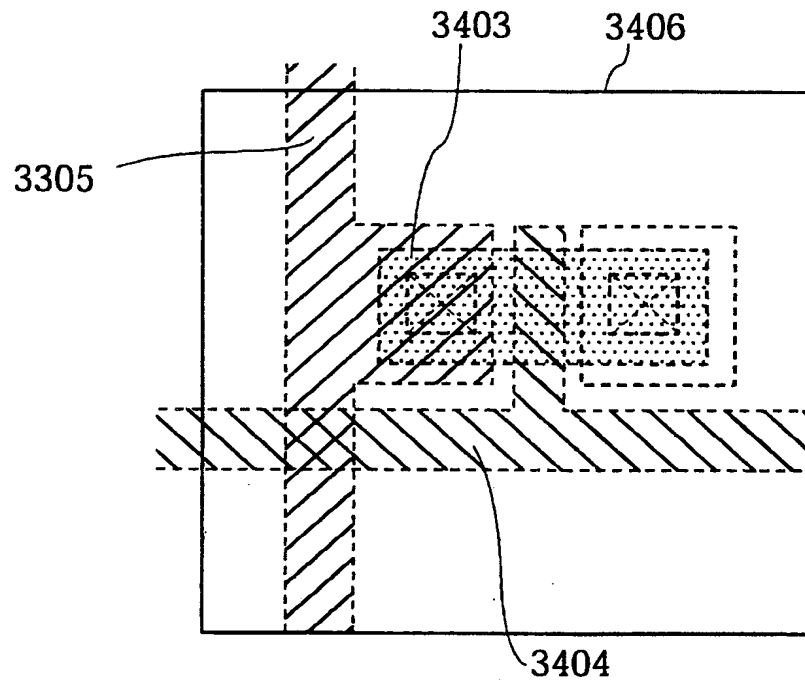


図46

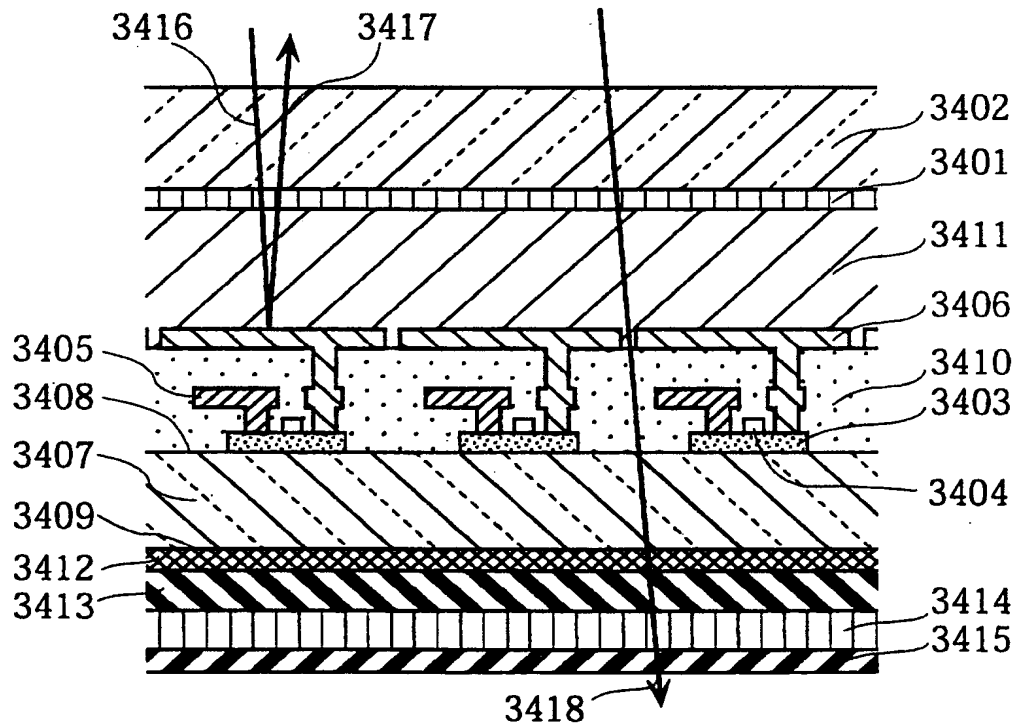


図47

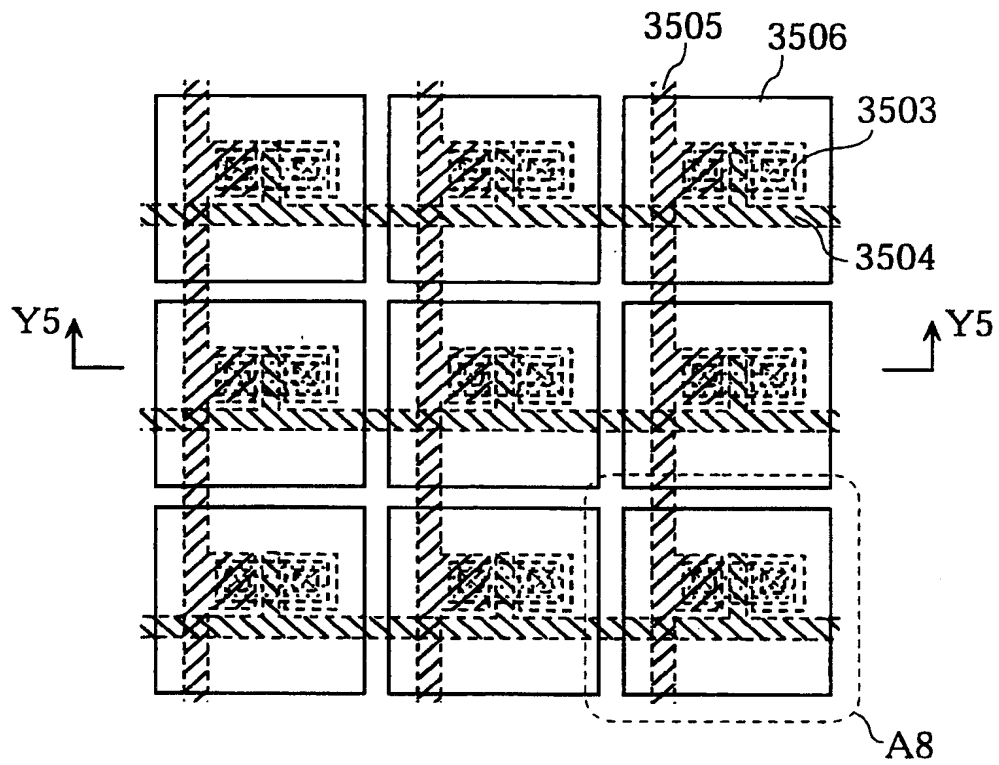


図48

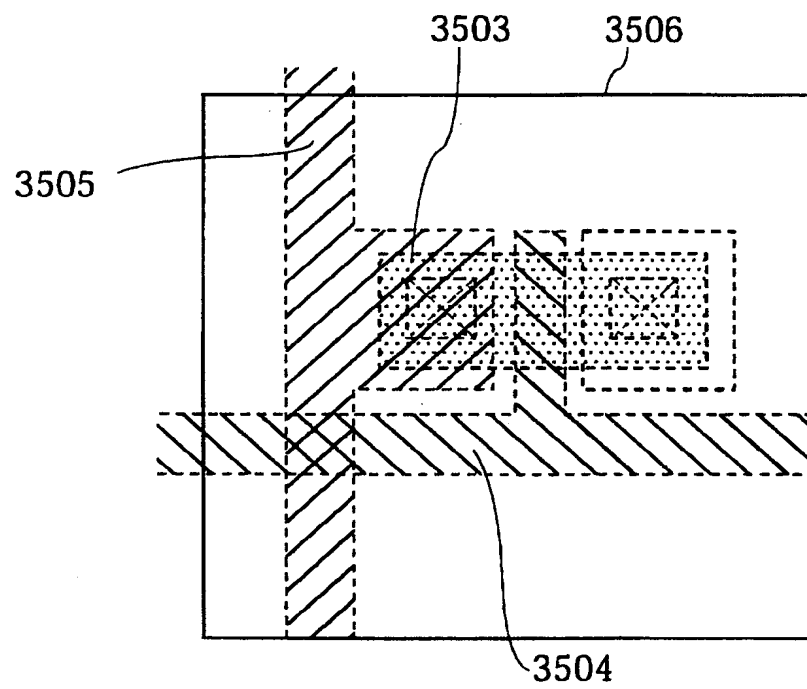


図49

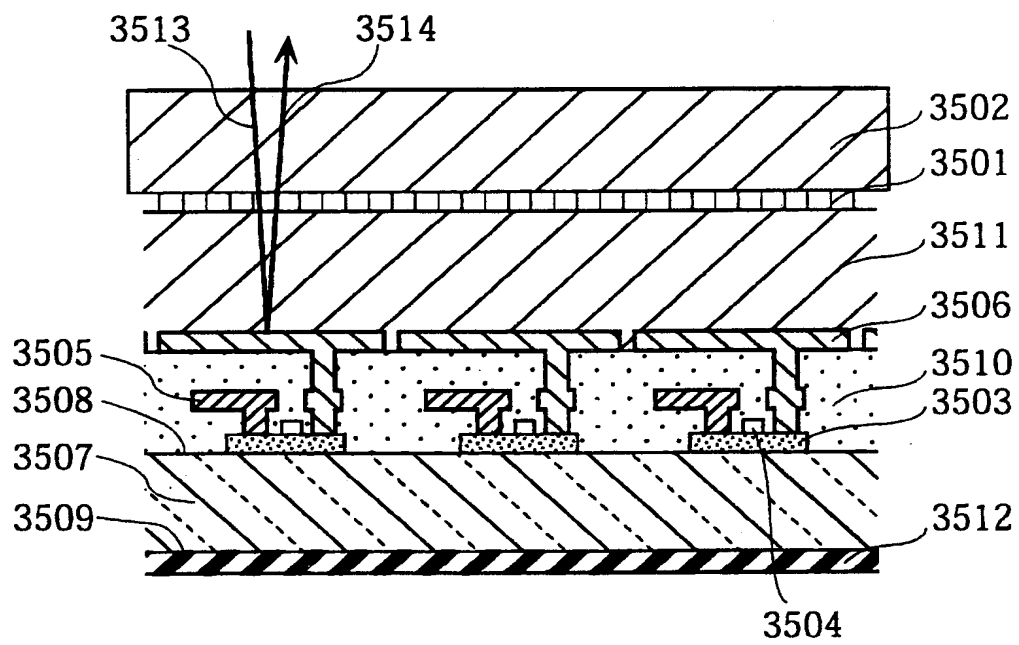
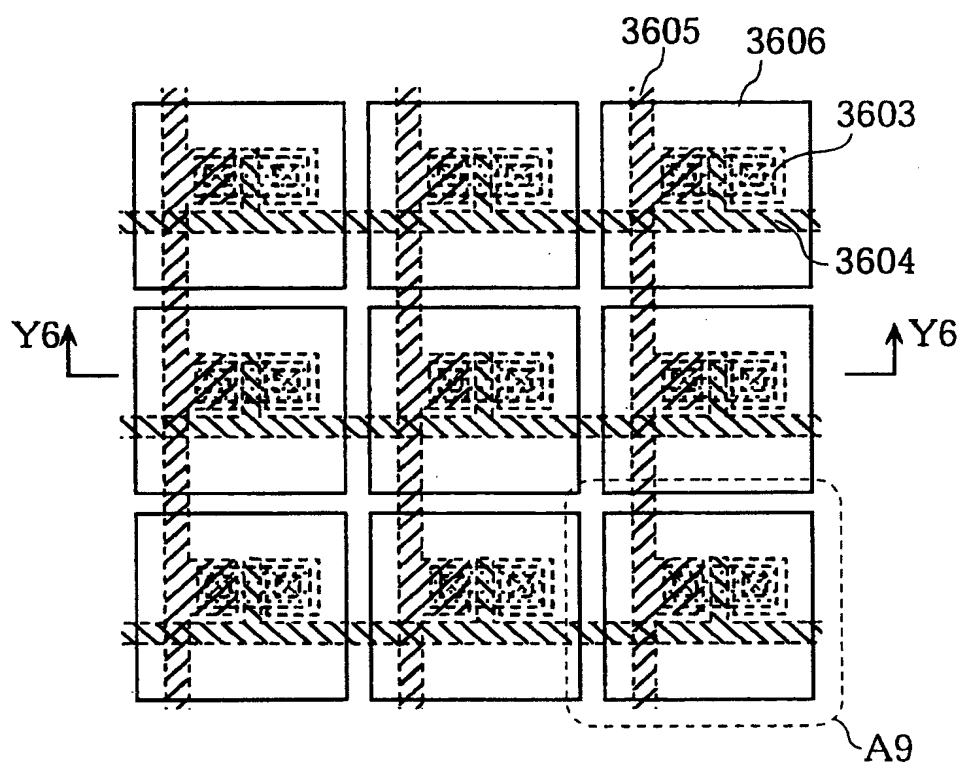


図50



51

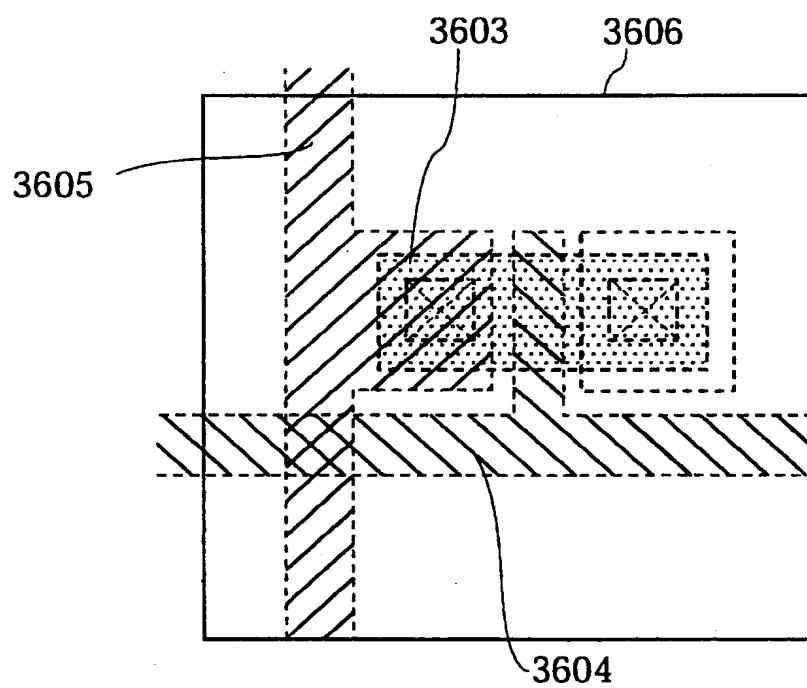


図52

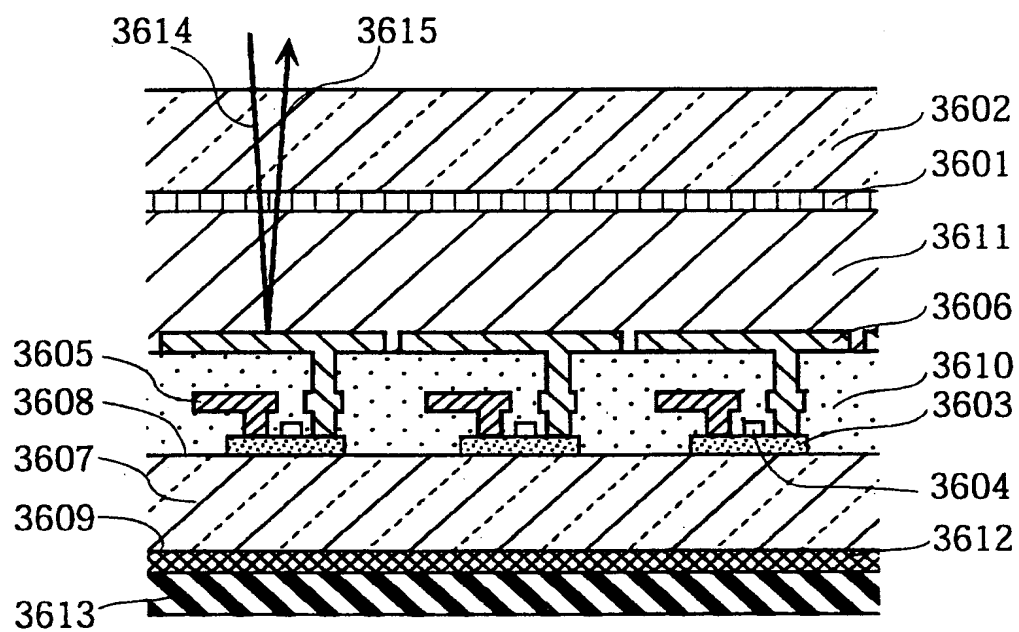


図53

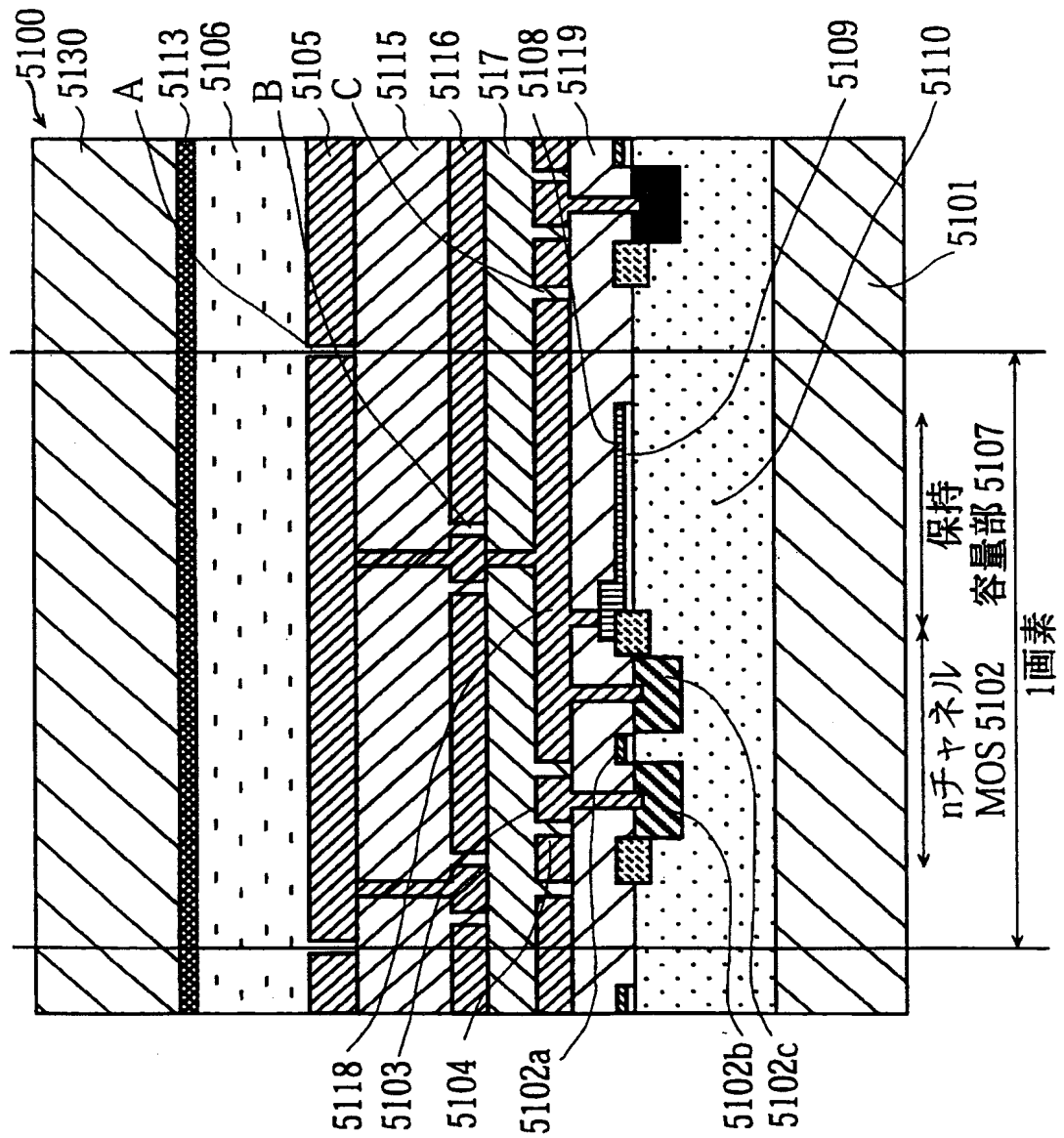


图54

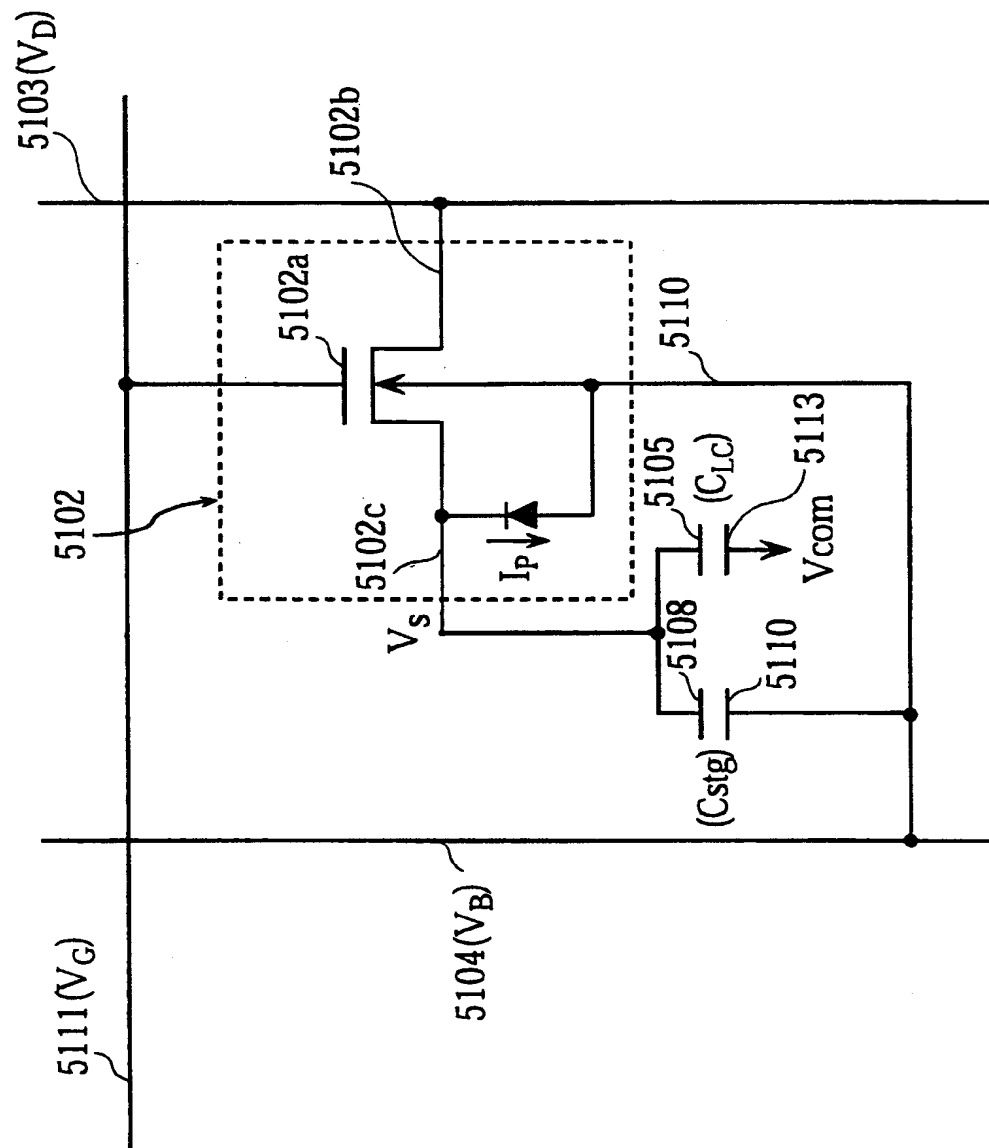


図55

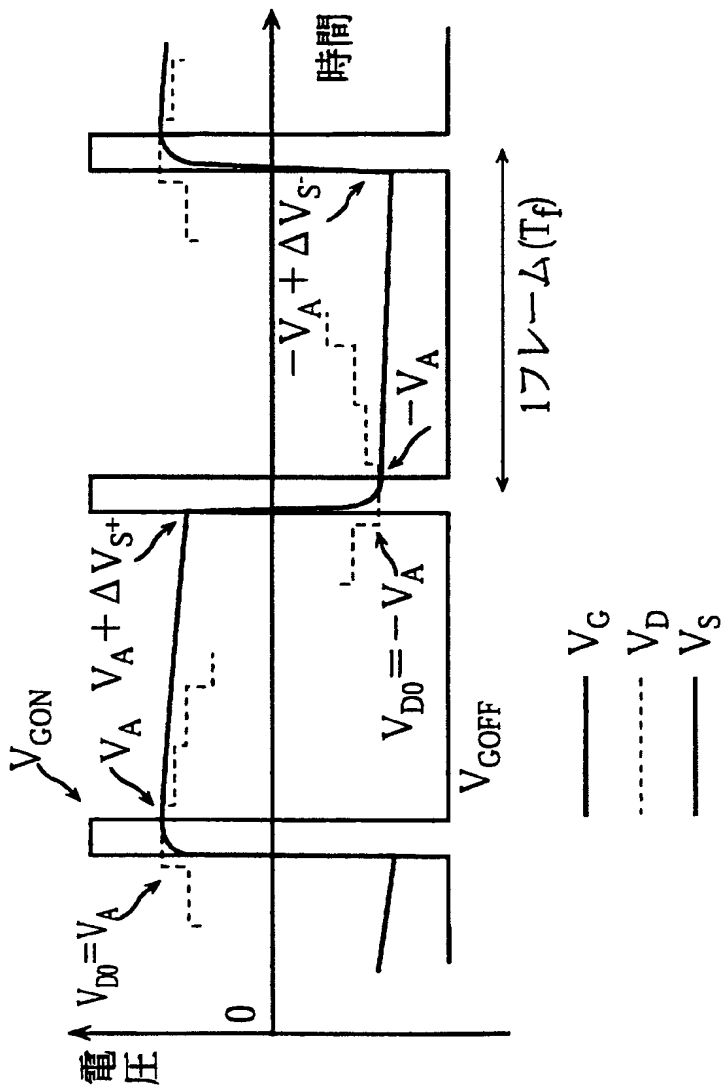


図56

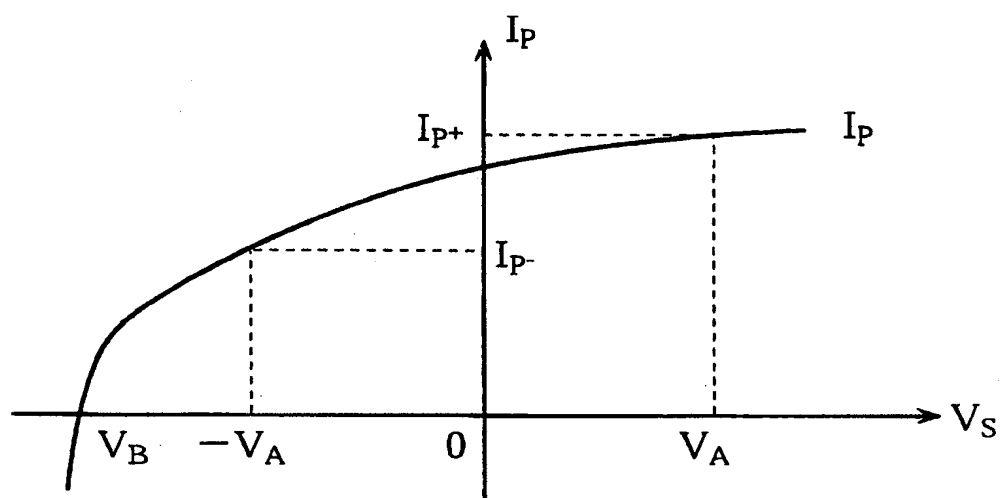
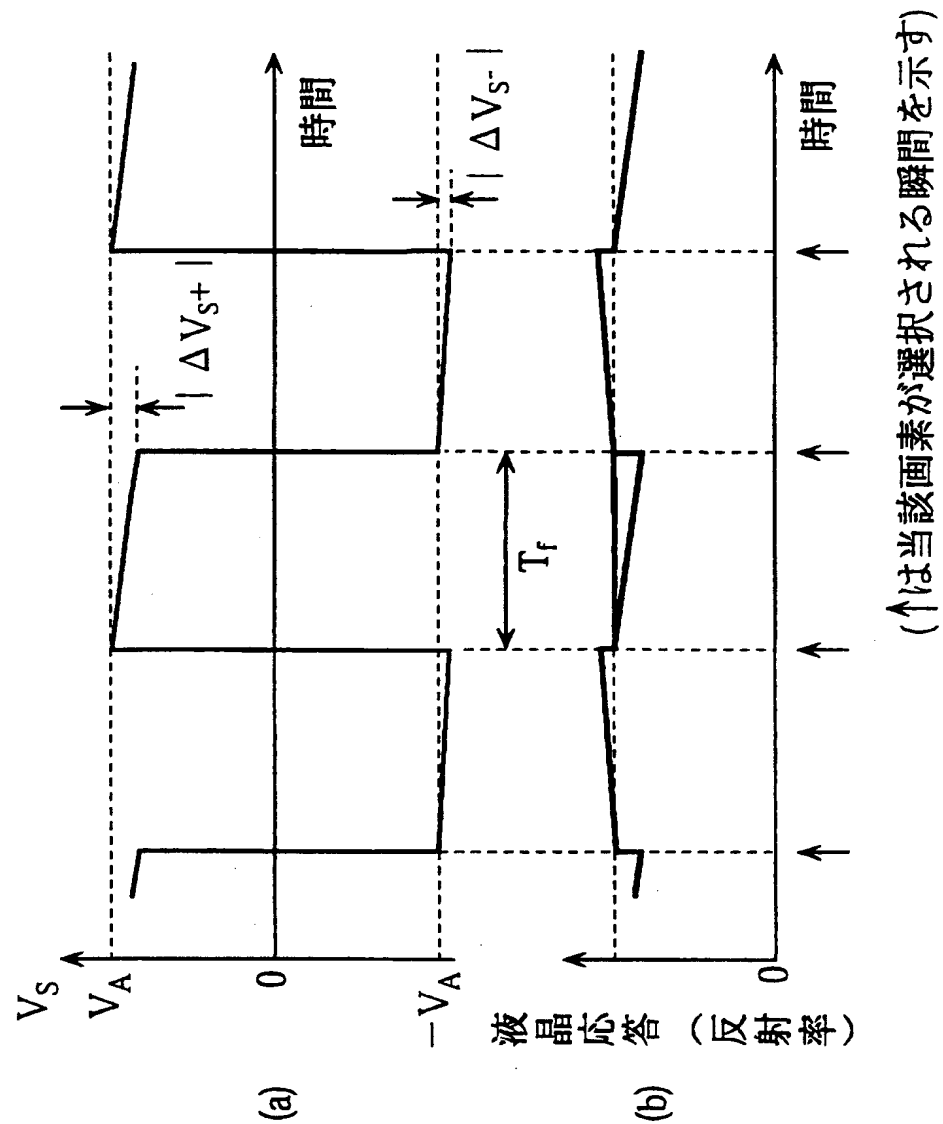


図57



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05365

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G02F1/136, 500, G02F1/133, 550

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G02F1/136, 500, G02F1/133, 550

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1998

Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP, 2-204726, A (Matsushita Electric Industrial Co., Ltd.), 14 August, 1990 (14. 08. 90), Page 1, lower left column, lines 5 to 14 ; page 2, lower left column, lines 2 to 14 ; Fig. 1 (Family: none)	50 15-49, 51-68, 73-76 1-14, 77, 78
Y A	JP, 2-245742, A (Matsushita Electric Industrial Co., Ltd.), 1 October, 1990 (01. 10. 90), Page 2, upper right column, line 9 to lower right column, line 2 ; Fig. 2 (Family: none)	15-68, 73-76 1-14, 77, 78
Y	JP, 5-53141, A (Fujitsu Ltd.), 5 March, 1993 (05. 03. 93), Page 4, left column, lines 19 to 39 ; Fig. 1 (Family: none)	15-20

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	--

Date of the actual completion of the international search
27 January, 1999 (27. 01. 99)Date of mailing of the international search report
9 February, 1999 (09. 02. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05365

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 58-90770, A (Mitsubishi Electric Corp.), 30 May, 1983 (30. 05. 83), Page 1, lower left column, lines 5 to 13 (Family: none)	21-24
Y	JP, 64-81262, A (Seiko Epson Corp.), 27 March, 1989 (27. 03. 89), Page 2, lower left column, lines 4 to 10, 18 to page 3, upper left column, line 1 ; Fig. 1 (Family: none)	25-28
Y	JP, 6-67207, A (Seiko Epson Corp.), 11 March, 1994 (11. 03. 94), Page 2, left column, lines 2 to 6, right column, lines 16 to 28 ; Figs. 1, 3 (Family: none)	25-28
Y	JP, 9-22024, A (Sony Corp.), 21 January, 1997 (21. 01. 97), Page 3, right column, line 44 to page 4, left column, line 33 ; Fig. 1 (Family: none)	29-32
Y	JP, 62-129822, A (Oki Electric Industry Co., Ltd.), 12 June, 1987 (12. 06. 87), Page 2, upper right column, line 3 to lower left column, line 6 ; page 5, upper right column, line 2 to lower left column, line 2 ; Figs. 1, 6 (Family: none)	33-36
Y	JP, 9-55512, A (Matsushita Electric Industrial Co., Ltd.), 25 February, 1997 (25. 02. 97), Page 3, right column, lines 24 to 30 ; Fig. 1 (Family: none)	33-36
Y	JP, 2-44317, A (Hitachi, Ltd.), 14 February, 1990 (14. 02. 90), Page 2, upper left column, line 15 to upper right column, line 3, lower left column, lines 1 to 17 ; Fig. 2 (Family: none)	37-40
Y	JP, 4-56828, A (NEC Corp.), 24 February, 1992 (24. 02. 92), Page 3, upper left column, line 16 to lower left column, line 6 ; Fig. 1 & EP, A1, 464579 & EP, A1, 668528	37-40
Y	JP, 59-195682, A (Toshiba Corp.), 6 November, 1984 (06. 11. 84), Page 3, upper right column, line 17 to lower left column, line 12 ; Fig. 3 (Family: none)	41-44
Y	JP, 6-242465, A (Hitachi, Ltd., et al.), 2 September, 1994 (02. 09. 94), Page 5, left column, lines 32 to 40 ; Fig. 1 (Family: none)	41-44

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05365

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 9-69628, A (Pioneer Video Corp., et al.), 11 March, 1997 (11. 03. 97), Page 7, left column, line 47 to page 8, left column, line 33 ; Fig. 5 (Family: none)	45-48
Y	JP, 9-68719, A (Pioneer Video Corp., et al.), 11 March, 1997 (11. 03. 97), Page 5, left column, line 17 to right column, line 46 ; Fig. 2 (Family: none)	45-48
Y	JP, 9-68718, A (Pioneer Video Corp., et al.), 11 March, 1997 (11. 03. 97), Page 4, right column, line 35 to page 5, left column, line 46 ; Fig. 1 (Family: none)	45-48
Y	JP, 6-194690, A (Hitachi, Ltd., et al.), 15 July, 1994 (15. 07. 94), Page 5, right column, line 39 to page 6, right column, line 29 ; Fig. 4 (Family: none)	45-48
Y	JP, 55-95980, A (Suwa Seikosha K.K.), 21 July, 1980 (21. 07. 80), Page 2, upper right column, line 17 to lower right column, line 5 ; Fig. 3 (Family: none)	45-48
Y	JP, 7-287102, A (Dainippon Printing Co., Ltd.), 31 October, 1995 (31. 10. 95), Page 8, right column, line 48 to page 9, left column, line 12 ; Fig. 15 (Family: none)	51-68
Y	JP, 4-310914, A (Seiko Epson Corp.), 2 November, 1992 (02. 11. 92),	57-60, 63-66
A	Page 2, right column, lines 23 to 35 ; Fig. 1 (Family: none)	69-72
Y	JP, 4-348321, A (Ricoh Co., Ltd.), 3 December, 1992 (03. 12. 92), Page 2, left column, lines 1 to 9, 23 to 27 ; page 5, left column, lines 34 to 41 ; Fig. 10 (Family: none)	73-76
Y	JP, 3-68920, A (Asahi Glass Co., Ltd.), 25 March, 1991 (25. 03. 91), Page 1, lower left column, lines 5 to 14 ; page 5, upper left column, lines 2 to 6 ; Fig. 2 (Family: none)	73-76
Y	JP, 46-38377, A (N.V. Optische Industrie "de Oude Delft"), 11 November, 1971 (11. 11. 71), Page 1, left column, line 32 to right column, line 7 ; Fig. 1 (Family: none)	75, 76

国際調査報告

国際出願番号 PCT/J P 98/05365

A. 発明の属する分野の分類 (国際特許分類 (IPC))

IPC C1⁶. G02F 1/136 500
G02F 1/133 550

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IPC C1⁶. G02F 1/136 500
G02F 1/133 550

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998年
日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 2-204726, A (松下電器産業株式会社), 14. 8月. 1990 (14. 08. 90), 第1頁左下欄第5~14行, 第2頁左下欄第2~14行, 第1図 (ファミリーなし)	50 15~49, 51~68, 73~76 1~14, 77, 78
A Y	J P, 2-245742, A (松下電器産業株式会社), 01. 10月. 1990 (01. 10. 90), 第2頁右上欄第9行~右下欄第2行, 第2図 (ファミリーなし)	15~68, 73~76 1~14, 77, 78
A Y	J P, 5-53141, A (富士通株式会社), 05. 3月. 1993 (05. 03. 93), 第4頁左欄第19~39行, 第1図	15~20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

27. 01. 99

国際調査報告の発送日

09.02.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉 野 公 夫

2K

8106

電話番号 03-3581-1101 内線 3255



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	(ファミリーなし) J P, 58-90770, A (三菱電機株式会社), 30. 5月. 1983 (30. 05. 83), 第1頁左下欄第5~13行 (ファミ リリーなし)	21~24
Y	J P, 64-81262, A (セイコーエプソン株式会社), 2 7. 3月. 1989 (27. 03. 89), 第2頁左下欄第4~1 0行, 同欄第18行~第3頁左上欄第1行, 第1図 (ファミ リリーなし)	25~28
Y	J P, 6-67207, A (セイコーエプソン株式会社), 11. 3月. 1994 (11. 03. 94), 第2頁左欄第2~6行, 同 頁右欄第16~28行, 第1図, 第3図 (ファミリーなし)	25~28
Y	J P, 9-22024, A (ソニー株式会社), 21. 1月. 19 97 (21. 01. 97), 第3頁右欄第44行~第4頁左欄第3 3行, 第1図 (ファミリーなし)	29~32
Y	J P, 62-129822, A (沖電気工業株式会社), 12. 6 月. 1987 (12. 06. 87), 第2頁右上欄第3行~同頁左 下欄第6行, 第5頁右上欄第2行~同頁左下欄第2行, 第1図, 第 6図 (ファミリーなし)	33~36
Y	J P, 9-55512, A (松下電器産業株式会社), 25. 2 月. 1997 (25. 02. 97), 第3頁右欄第24~第30 行, 第1図 (ファミリーなし)	33~36
Y	J P, 2-44317, A (株式会社日立製作所), 14. 2月. 1990 (14. 02. 90), 第2頁左上欄第15行~同頁右上 欄第3行, 同頁左下欄第1~17行, 第2図 (ファミリーなし)	37~40
Y	J P, 4-56828, A (日本電気株式会社), 24. 2月. 1 992 (24. 02. 92), 第3頁左上欄第16行~同頁左下欄 第6行, 第1図 & EP, A1, 464579 & EP, A 1, 668528	37~40
Y	J P, 59-195682, A (株式会社東芝), 06. 11月. 1984 (06. 11. 84), 第3頁右上欄第17行~同頁左下 欄第12行, 第3図 (ファミリーなし)	41~44
Y	J P, 6-242465, A (株式会社日立製作所外1名), 0 2. 9月. 1994 (02. 09. 94), 第5頁左欄第32~4 0行, 第1図 (ファミリーなし)	41~44
Y	J P, 9-69628, A (パイオニアビデオ株式会社外1名), 11. 3月. 1997 (11. 03. 97), 第7頁左欄第47行 ~第8頁左欄第33行, 第5図 (ファミリーなし)	45~48
Y	J P, 9-68719, A (パイオニアビデオ株式会社外1名), 11. 3月. 1997 (11. 03. 97), 第5頁左欄第17行 ~同頁右欄第46行, 第2図 (ファミリーなし)	45~48
Y	J P, 9-68718, A (パイオニアビデオ株式会社外1名), 11. 3月. 1997 (11. 03. 97), 第4頁右欄第35行 , ~第5頁左欄第46行, 第1図 (ファミリーなし)	45~48
Y	J P, 6-194690, A (株式会社日立製作所外1名), 1 5. 7月. 1994 (15. 07. 94), 第5頁右欄第39行~ 第6頁右欄第29行, 第4図 (ファミリーなし)	45~48
Y	J P, 55-95980, A (株式会社諏訪精工舎), 21. 7 月. 1980 (21. 07. 80), 第2頁右上欄第17行~同頁 右下欄第5行, 第3図 (ファミリーなし)	45~48
Y	J P, 7-287102, A (大日本印刷株式会社), 31. 10 月. 1995 (31. 10. 95), 第8頁右欄第48行~第9頁 左欄第12行, 第15図 (ファミリーなし)	51~68
Y	J P, 4-310914, A (セイコーエプソン株式会社), 0 2. 11月. 1992 (02. 11. 92), 第2頁右欄第23~ 35行, 第1図 (ファミリーなし)	57~60, 63~66, 69~72
A		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 4-348321, A (株式会社リコー), 03. 12月. 1992 (03. 12. 92), 第2頁左欄第1~9行, 同欄第23~27行, 第5頁左欄第34~41行, 第10図 (ファミリーなし)	73~76
Y	J P, 3-68920, A (旭硝子株式会社), 25. 3月. 1991 (25. 03. 91), 第1頁左下欄第5~14行, 第5頁左上欄第2~6行, 第2図 (ファミリーなし)	73~76
Y	J P, 46-38377, A (エヌ・ブイ・オブテイシエ・インダストリエ・“デ・ウーデ・デルフト”), 11. 11月. 1971 (11. 11. 71), 第1頁左欄第32行~同頁右欄第7行, 第1図 (ファミリーなし)	75, 76

PUB-NO: WO009928784A1
DOCUMENT-IDENTIFIER: WO 9928784 A1
TITLE: REFLECTION-TYPE DISPLAY
DEVICE AND IMAGE DEVICE
USING REFLECTION-TYPE
DISPLAY DEVICE
PUBN-DATE: June 10, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
TANAKA, YUKIO	JP
KOMORI, KAZUNORI	JP
NISHIYAMA, KAZUHIRO	JP
TAKIMOTO, AKIO	JP

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	JP
TANAKA YUKIO	JP
KOMORI KAZUNORI	JP
NISHIYAMA KAZUHIRO	JP
TAKIMOTO AKIO	JP

APPL-NO: JP09805365

APPL-DATE: November 30, 1998

PRIORITY-DATA: JP32777097A (November 28, 1997) ,
JP03245798A (February 16, 1998) ,
JP09118998A (April 3, 1998) ,
JP23777998A (August 24, 1998)

INT-CL (IPC): G02F001/136 , G02F001/133

EUR-CL (EPC): G02F001/1362

ABSTRACT:

CHG DATE=19990803 STATUS=O>A reflection-type liquid crystal display device by which an excellent image without flicker and with little decline of a light utilization efficiency and little luminance unevenness even if an emitted light illuminance is increased. Pixel switching devices consist of a pair of n-ch. MOS transistors and a pair of p-ch. MOS transistors. The drain electrodes of the MOS transistors are electrically connected to signal lines and the source electrodes of the MOS transistors are electrically connected to pixel electrodes. A holding capacitance part electrically connected to the pixel electrodes is formed on a p-type crystalline silicon substrate. A light current generated by a MOS transistor and a light current generated by another MOS transistor are made to flow in the directions so as to cancel each other.